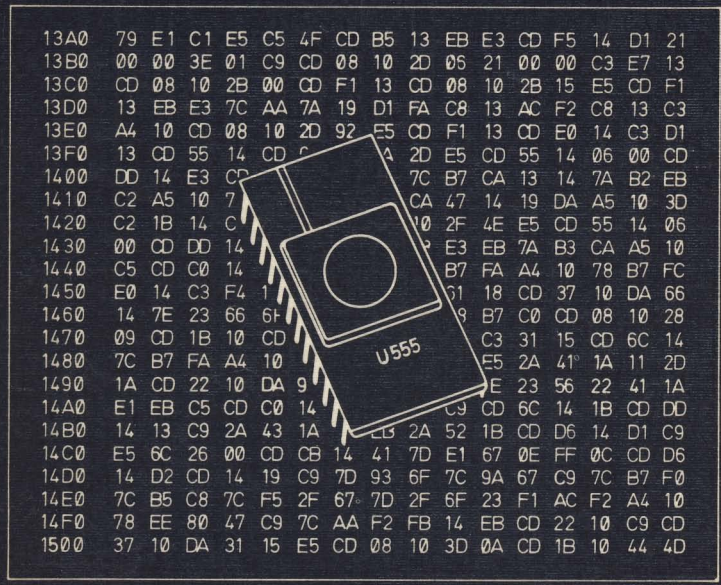
amateurreihe

electronica



Gerd Thiele

236

Digitale Halbleiterspeicher

electronica · Band 236

GERD THIELE

Digitale Halbleiterspeicher

MILITÄRVERLAG
DER DEUTSCHEN DEMOKRATISCHEN
REPUBLIK

Thiele, G.:
Digitale Halbleiterspeicher
2., überarbeitete Aufl., – Berlin:
Militärverlag der DDR (VEB), 1987. –
112 S.: 80 Bilder – (electronica: 236)

ISBN 3-327-00350-5

2., überarbeitete Auflage, 1987
© Militärverlag der
Deutschen Demokratischen Republik (VEB) – Berlin, 1986
Lizenz-Nr. 5
Printed in the German Democratic Republic
Satz: Druckerei Phönix
Druck und buchbinderische Weiterverarbeitung:
Druckerei des Ministeriums für Nationale
Verteidigung (VEB) – Berlin 32353-5
Lektor: Wolfgang Stammler
Zeichnungen: Angelika Ulsamer
Typografie: Martina Schwarz
Redaktionsschluß: 15. September 1986
LSV 3539
Bestellnummer: 7469279
00190

Inhaltsverzeichnis

	Vorwort	5
1.	**Allgemeines**	6
2.	**Definition und Grundbegriffe der Halbleiterspeicher**	8
2.1.	Kenngrößen der Halbleiterspeicher	8
2.1.1.	Speicherkapazität	8
2.1.2.	Arbeitsgeschwindigkeit	9
2.1.3.	Leistungsaufnahme je bit und Verlustleistung	12
2.1.4.	Informationsflüchtigkeit	13
2.1.5.	Kompatibilität	13
2.1.6.	Betriebsbedingungen	14
2.1.7.	Zuverlässigkeit	14
2.1.8.	Physikalische Kenngrößen	14
2.2.	Speicherorganisation	14
3.	**Einteilung der Halbleiterspeicher**	16
3.1.	Speicherarten	19
4.	**Speicherbausteine**	22
4.1.	Das Flip-Flop als Speicher	22
4.2.	Schreib-Lese-Speicher mit wahlfreiem Zugriff (RAM)	24
4.2.1.	Aufbau und Organisation eines Schreib-Lese-Speichers	24
4.2.2.	Speicherzellen für Schreib-Lese-Speicher	27
4.2.2.1.	Statische Speicherzellen	27
4.2.2.2.	Dynamische Speicherzellen	35
4.3.	Festwertspeicher (ROM)	38
4.3.1.	Aufbau und Organisation eines Festwertspeichers	38
4.3.2.	Einmalig programmierbare Festwertspeicher	39

4.3.2.1. Der maskenprogrammierbare Festwertspeicher (ROM) 39
4.3.2.2. Der anwenderprogrammierbare Festwertspeicher (PROM) 43
4.3.3. Mehrfach programmierbare Festwertspeicher (REPROM) 44
4.3.3.1. Der mit UV-Licht löschbare Festwertspeicher (EPROM) 45
4.3.3.2. Der elektrisch löschbare Festwertspeicher 48
4.4. Programmierbare logische Anordnungen 48
4.5. Schreib-Lese-Speicher mit seriellem Zugriff (SAM) 50
4.5.1. Statische Schieberegister 52
4.5.2. Dynamische Schieberegister 53
4.6. Sonderformen von Halbleiterspeichern 55
4.6.1. Assoziativspeicher (CAM) 55
4.6.2. Silospeicher (FIFO) 55
4.6.3. Stapelspeicher (LIFO) 56
4.7. Ausgabeschaltungen der Speicherbausteine 57

5. Speichersysteme 61
5.1. Kapazitätserweiterung 61
5.2. Speicher im Mikroprozessorsystem 69

6. Anwendungsbeispiele von Halbleiterspeichern . . . 74
6.1. Telefonnummernspeicher 74
6.2. Digitaler Funktionsgenerator 77
6.3. Zählschaltung mit Festwertspeicher 79
6.4. Mikroprogrammsteuerung 81
6.5. Kodeumsetzer 84
6.6. Zeichengenerator 86
6.7. Umlaufspeicher 87
6.8. Zufallsgenerator 89

7. Programmierung von Speicherbausteinen 91

8. Daten von Speicherbauelementen 96

Literaturhinweise 111

Vorwort

Seit der Ankündigung und Anwendung der ersten hochintegrierten Halbleiterspeicherbauelemente vor 15 Jahren hat sich dieses Teilgebiet der Bauelementeentwicklung und -fertigung stark entwickelt. Ein Ende dieser Entwicklung bezüglich der Eigenschaften von digitalen Halbleiterspeicherbauelementen sowie vor allem hinsichtlich der Kapazität und der Fertigungsstückzahlen ist noch nicht abzusehen.
Mit diesen Halbleiterspeichern wurde ein neues leichtanwendbares Speichermedium geschaffen, dessen Anwendungsmöglichkeiten praktisch unbegrenzt sind und die nur von dem Ideenreichtum der Anwender abhängen.
Ihre Vorteile sind vor allem das geringe Bauvolumen und die damit verbundene hohe Speicherdichte, wodurch sich auch die Kosten entsprechend senken lassen. Weiterhin ist durch die hohe Zuverlässigkeit und Arbeitsgeschwindigkeit sowie die Flexibilität in der Speicherkapazität und den Organisationsformen fast jeder Einsatz möglich.
Und nicht zuletzt durch diese Eigenschaften und das immer bessere Beherrschen der Halbleitertechnologien sind auch diese Bauelemente für den Amateur preisgünstig geworden.

Mittelhausen, im Herbst 1984 *Gerd Thiele*

Vorwort zur 2. Auflage

Aufgrund der großen Nachfrage haben sich Verlag und Autor entschlossen, diese Nachauflage zu bringen. Änderungen wurden dahingehend vorgenommen, daß die Bauelemente TGL-gerechte Bezeichnungen bekommen haben und einige neue Bauelementedaten aufgenommen wurden.
Der Anhang gibt einen Überblick über die Anschlußbelegungen der Bauelemente.

Mittelhausen, im Sommer 1986 *Gerd Thiele*

1. Allgemeines

Das Speichern von Informationen in Natur und Technik ist so alt wie die Menschheit selbst. Die Menschen haben sich auf Grund von Informationsspeicherung in den Genen, die ein Überleben durch die Artenauslese ermöglichte, zu einem intelligenten Wesen entwickelt.
Im Laufe der Entwicklung hat sich auch das menschliche Gehirn so weit herausgebildet, daß es mit seinem Gedächtnis ein erstaunliches Speichervermögen erlangt.
Auch die *technische* Entwicklung der Datenspeicherung begann schon vor Tausenden von Jahren mit den Höhlenzeichnungen, die sich dann zur Schreib- und Druckkunst weiterentwickelte. Heute können wir uns dieses Speichermedium in Form von Zeitungen, Büchern usw., wie auch dieser Broschüre, aus unserem Leben nicht mehr wegdenken.
Auch die Speicher wie Tonband, Filme, Fernsehaufzeichnungen usw., die wir mit Hilfsmitteln »lesen«, sind Bestandteil unseres täglichen Lebens geworden.
Aus all diesen Gründen ist in den letzten 2 Jahrzehnten das Gebiet der Speichertechnik sehr intensiv erforscht worden. Die physikalischen Effekte, die 2 Zustände (H und L) zulassen, wurden auf ihre Speicherfähigkeit und ihren Einsatz in Massenspeichern untersucht. Es wurden eine Reihe von Speichern entwikkelt, erprobt und angewendet wie beispielsweise Kernspeicher, Dünnschichtspeicher, Ultraschallspeicher.
Doch durch die Weiterentwicklung der Halbleitertechnologien und der damit verbundenen Großintegration dürfte der Halbleiterspeicher als Speichertyp der Zukunft feststehen. Auch der Nachteil des Datenverlusts bei Betriebsspannungsausfall wird sich künftig lösen lassen, wie die elektrisch programmierbaren und löschbaren Festwertspeicher zeigen. Durch Pufferung der Betriebsspannung oder entsprechende Datenorganisation ist das gegenwärtig schon möglich.

Die Speicherung der Information geschieht durch das *Einschreiben* dieser in Form der beiden binären Werte H oder L. Für das *Lesen* muß die Speicherzelle Energie abgeben oder ein von außen angelegtes Signal beeinflussen. Geht dabei die Speicherinformation verloren, so spricht man von einem zerstörenden Lesen (**D**estructive **R**ead **O**ut, DRO). Bleibt sie aber erhalten, so ist es ein nichtzerstörendes Lesen (**N**on **D**estructive **R**ead **O**ut, NDRO). Ist weiterhin ein Datenerhalt ohne Betriebsspannung gegeben, so handelt es sich um einen nichtflüchtigen (nonvolatile), im anderen Fall um einen flüchtigen (volatile) Speicher.

2. Definition und Grundbegriffe der Halbleiterspeicher

2.1. Kenngrößen der Halbleiterspeicher

Die Eigenschaften eines Halbleiterspeichers werden von einigen technischen, organisatorischen und ökonomischen Faktoren bestimmt. Für eine objektive Charakterisierung eines Speichers benötigt man eine Reihe dieser Kenngrößen.

2.1.1. Speicherkapazität

Die Speicherkapazität gibt das Maximum der in einem Speicher gleichzeitig unterzubringenden Informationsmenge an. Die Maßeinheit ist das bit. Sie ist der Anzahl der in einem Speicher untergebrachten Speicherzellen gleichzusetzen, von denen jede genau 1 bit aufnimmt. Die Speicher sind aber sehr oft wortorganisiert, so daß die kleinste adressierbare Einheit 1 Byte = 8 bit oder auch 4 bit ist.
Nach der Speicherorganisation wird die Kapazität in Worten X bit (Wortlänge) angegeben.

Beispiel
2048 X 1 bit = 2048 Worte zu je 1 bit,
256 X 8 bit = 256 Worte zu je 8 bit.
Übersteigt die Speicherkapazität den Wert von 1024 (2^{10}), so gibt man diesen entsprechend dem Dezimalsystem in kbit oder Mbit an. Somit sind 1024 bit = 1 kbit, 2048 bit = 2 kbit usw. Ein 4-kbit-Speicher hat dann 4096 Speicherzellen. Die Reihenfolge ergibt sich aus der Zahl 2^n, beginnend mit 1 kbit, 2 kbit, 4 kbit, 8 kbit usw. Ein 64-kbit-Speicher hat z. B. 65536 (2^{15}) Speicherzellen und ein 1-Mbit-Speicher 1048576 (2^{20}) Speicherzellen.
Die Speicherkapazität ist auch ein Maß der Kosten. Denn mit steigender Speicherdichte, d. h. mit den Speicherzellen je Quadratmillimeter Fläche, sinken die Kosten je bit.

2.1.2. Arbeitsgeschwindigkeit

Die Arbeitsgeschwindigkeit bestimmt in bedeutendem Maß die Durchsatzleistung eines Systems und ist daher ebenso wie die Speicherkapazität eine bedeutende Kenngröße des Speichers. Sie beinhaltet die 2 voneinander unabhängigen Größen:
- Zugriffszeit,
- Zykluszeit.

Unter der *Zugriffszeit* versteht man die Verzögerungszeit, die zwischen dem Anlegen der Adresse am Speichereingang und dem gesicherten Bereitstehen der Information am Speicherausgang vergeht (Bild 2.1.). Sie ist damit eine Kenngröße für die Geschwindigkeit des Speichers.
Unter der *Zykluszeit* versteht man die Zeit, die für eine Lese- oder Schreiboperation mindestens erforderlich ist (Bild 2.1.). Die Zykluszeit kann niemals kleiner als die Zugriffszeit werden, sie kann aber bei einigen Speicherarten ihren Wert erreichen. Wird jedoch die Information beim Lesen zerstört und muß diese wieder neu eingeschrieben werden, dann überschreitet sie die Zugriffszeit u. U. bis zu mehr als dem doppelten Wert. Sie ist somit der aussagekräftigste Parameter eines Speichers. Sie kann aber für den Schreibvorgang länger sein als für den Lesevorgang, so daß nur die längere Zeit von Interesse ist.
Bei den Halbleiterspeichern kann der Zugriff auf eine Information auf 2 Arten geschehen. Einmal über die Adresse und zum

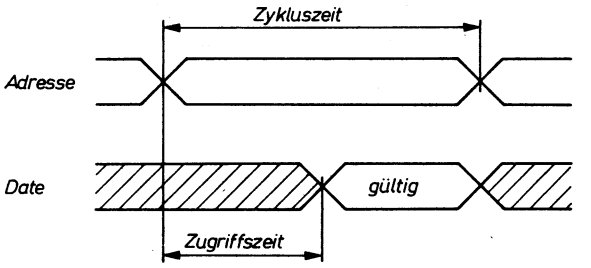


Bild 2.1 Zeitdiagramm für einen Lesezyklus zur Definition der Zyklus- und Zugriffszeit

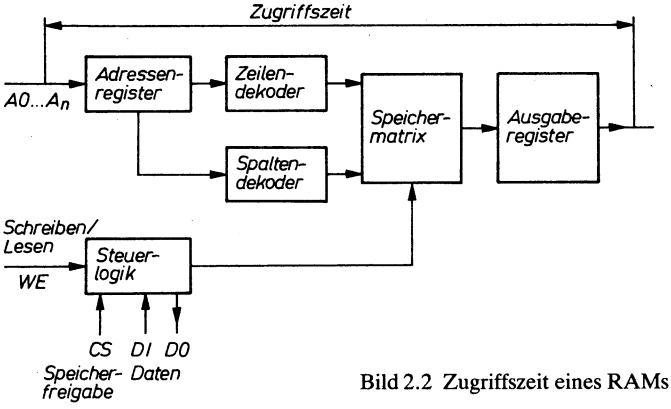


Bild 2.2 Zugriffszeit eines RAMs

anderen über den Speicherfreigabeeingang. Dieser Speicherfreigabeeingang (**C**hip **S**elect, CS, oder **C**hip **E**nable, CE) wird beim Aufbau von Speichersystemen aus einzelnen Speicherbausteinen benötigt und muß über entsprechende Dekoder aktiviert werden. Hierbei sind die Bezeichnungen *Adreßzugriffszeit* (read access time) und *Zugriffszeit für Speicherfreigabe* (chip select access time) gebräuchlich. Bei Verwendung nur eines Speicherbausteins oder mehrerer Speicherbausteine entsprechend der geforderten bit-Breite wird der Speicherfreigabeeingang ständig aktiviert, indem man ihn auf festes Potential legt.

Wie aus dem vereinfachten Übersichtsschaltplan eines RAMs (Bild 2.2.) zu ersehen ist, hängt die Zugriffszeit von den speicherinternen Verzögerungszeiten wie Umschalt- und Laufzeit in der Matrix sowie der peripheren Beschaltung, den Registern, Dekodern und Ausgaberegistern ab.

Geschieht der Lesevorgang mit einer Zerstörung der Information in der Zelle, so muß diese vor einem neuen Zugriff wieder eingeschrieben werden. Man spricht in diesem Fall zweckmäßigerweise von der *Zykluszeit* entsprechend obiger Definition. Die Zykluszeiten moderner Halbleiterspeicher liegen im Nanosekundenbereich und werden durch neue Technologien und Speicherorganisationen ständig verbessert.

Bild 2.3 zeigt an Hand eines statischen RAMs die Mindest- und Maximaldaten sowie die kritischen Verzögerungszeiten, die bei der Anwendung zu beachten sind. Prinzipiell gelten die Aussagen auch für Festwertspeicher, da ihre Parameter dem RAM entsprechen.

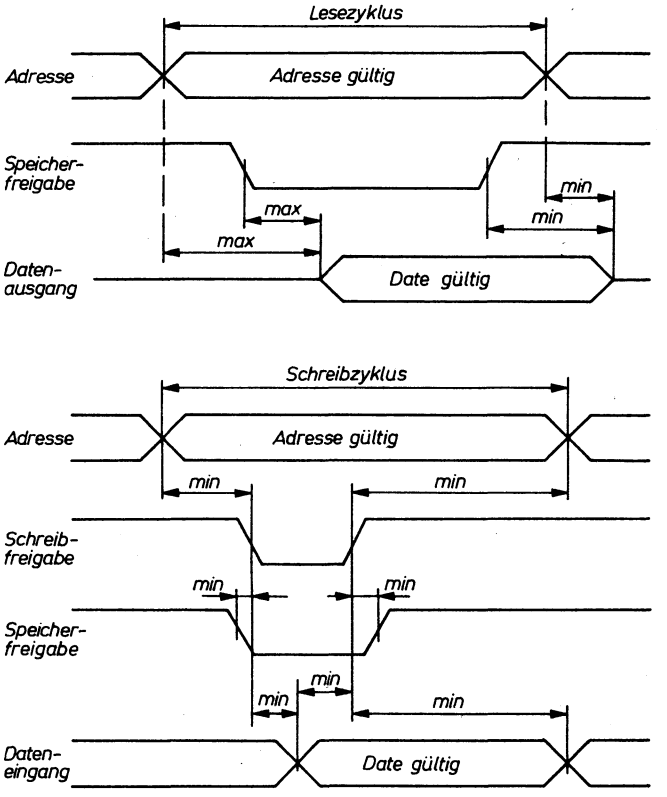


Bild 2.3 Impulsdiagramm des Schreib-Lese-Vorgangs eines statischen RAMs

Beim Anlegen einer Adresse (Adresse gültig) bzw. nach der maximalen Adreßzugriffszeit kann auf die Daten am Ausgang (Daten gültig) zugegriffen werden. Die Speicherfreigabe kann innerhalb dieser Zeit etwas verzögert aktiviert werden.
Wird nach dem Auslesen der Daten die Adresse wieder weggenommen, so benötigt der Speicher auf Grund interner Laufzeiten noch eine gewisse Verzögerungszeit, bis der Datenausgang wieder inaktiv ist.
Beim Einschreiben von Daten in den Speicher ist eine Verknüpfung von Speicher und Schreibfreigabe (UND-Verknüpfung) erforderlich. Diese Verknüpfung muß mindestens für die Schreibzeit erhalten bleiben. Weiterhin muß vor und nach der Schreibzeit die Adresse für eine Mindestzeit (Adresse gültig) stabil sein. Der Schreibvorgang wird durch Inaktivwerden der Schreibfreigabe beendet. Von diesem Zeitpunkt an müssen aber die Daten und Adressen noch für eine Mindestzeit anliegen, um einen Einfluß der Schreibfreigabe auszuschließen. Weiterhin müssen die Datenausgänge eine Zeitlang nach der Schreibzeit abgeschaltet bleiben, um Restspannungen aus den Datenleitungen abzubauen. Diese Zeit nennt man *Schreiberholzeit.*
Der Anwender muß aber die Schreiberholzeit nicht beachten, da sie in der Zugriffszeit des jeweiligen Speicherbausteins enthalten ist.
Die Schreib- und Lesezykluszeit ist die mindesterforderliche Gesamtzeit eines Schreib- bzw. Lesevorgangs und beeinflußt somit die Geschwindigkeit des Systems, in dem der Speicher eingesetzt wird.

2.1.3. Leistungsaufnahme je bit und Verlustleistung

Die Leistungsaufnahme wird sinnvollerweise für den Gesamtspeicher als Verlustleistung angegeben, da sie entsprechend den Technologien sowohl in der Speicherzelle als auch in der Ansteuerschaltung liegt. Sie ist ein Hauptnachteil des Halbleiterspeichers und liegt je nach Typ und Technologie im mW/bit- bis μW/bit-Bereich bei dynamischen Speichern. Bei modernen Halbleiterspeichern wird sie auch durch die »Schlaffunktion« beträcht-

lich herabgesetzt. Das heißt, wenn kein Schreib- oder Lesezyklus erforderlich ist, werden die Versorgungsspannung und somit die Leistungsaufnahme so weit herabgesetzt, daß nur noch ein Datenerhalt garantiert wird, aber sich kein Zugriff zum Speicher ermöglichen läßt.
Die Leistungsaufnahme geht über den Energieverbrauch direkt in die Betriebskosten ein, und man muß sie auch wegen der Folgeerscheinungen wie Wärmeabfuhr, zulässiger Temperaturbereich und daraus resultierender Zuverlässigkeit des Speichers beachten. Weiterhin ist der Datenerhalt bei Netzausfall dabei ein sehr wichtiges Kriterium, weil hierzu entsprechende Pufferbatterien benötigt werden.

2.1.4. Informationsflüchtigkeit

Bei den Halbleiterspeichern werden im Gegensatz zu den magnetischen Speichern nicht nur die Adressierung-, Lese- und Schreiboperationen durch elektrische Signale aktiviert, sondern die Speicherung der Information selbst ist ein aktiver Vorgang, dem man ständig Energie zuführen muß. Schon Unterbrechungen im μs-Bereich können den Datenverlust nach sich ziehen. Somit ist die Flüchtigkeit (volatility) bzw. die energieunabhängige Haltbarkeit der Daten ein wesentliches Kriterium eines Speichersystems.

2.1.5. Kompatibilität

Unabhängig von dem Speicherbaustein oder der Speicherzelle wird ihre Ansteuerung im System immer mit elektronischen Schaltkreisen oder diskret aufgebauten Schaltungen realisiert. Deshalb ist die Verträglichkeit der zur Speicherung verwendeten Technologien zur Randelektronik ein nicht zu unterschätzender ökonomischer Faktor. Dabei interessieren vor allem die Höhe der Signalpegel und die technologiespezifische Arbeitsgeschwindigkeit. Die meisten gegenwärtig gefertigten Speicher sind auf ein TTL-Pegel mit einer Lasteinheit bei unterschiedlichen Arbeitsgeschwindigkeiten entsprechend der Typen ausgelegt.

2.1.6. Betriebsbedingungen

Die Betriebsbedingungen enthalten vor allem die Maximal- und Minimalangaben über Kenndaten, die für die Anwendung des Speicherbausteins notwendig sind. Dazu zählen u. a.:
- Versorgungsspannungen,
- Ein- und Ausgangssignalpegel,
- Definition der Logikzustände,
- Ein- und Ausgangsströme,
- Strom und Spannung des Dateneingangs und -ausgangs,
- Stromaufnahme.

2.1.7. Zuverlässigkeit

Unter diesem Kriterium sind eine Reihe von Einflußfaktoren, z. B. der Störabstand und die Ausfallrate, zu verstehen.

2.1.8. Physikalische Kenngrößen

Zu den physikalischen Kenngrößen zählen die Gehäuseformen (Dual-in-line- oder TO-Gehäuse usw.), die Abmessungen und das Gewicht bzw. ob sie als Metall- und Keramikgehäuse für höhere Betriebstemperaturen oder als Plastgehäuse ausgelegt sind.

2.2. Speicherorganisation

Die Abspeicherung von Informationen kann man entweder nach dem Ort der Speicherung oder nach den Merkmalen der zu speichernden Informationen organisieren. Im ersten Fall wird die Information nur der entsprechenden Speicheradresse gelesen. Im anderen Fall werden an Hand eines Merkmals, z. B. Flugnummer, alle unter dieser Nummer registrierten Fluggäste ausgelesen. Im 1. Fall ist es ein *ortsadressierter* und im 2. Fall ein *inhaltsadressierter* Speicher.

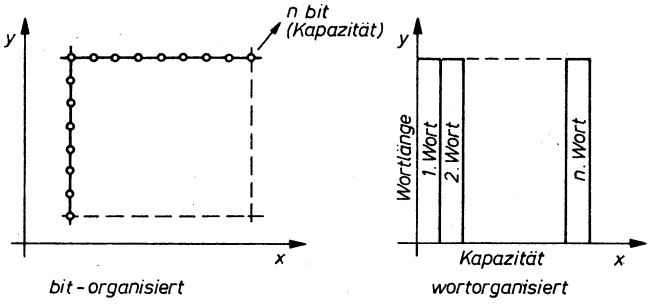


Bild 2.4 Speicherorganisation

Weiterhin unterscheidet man nach der Art des Zugriffs. Dabei ist es von Bedeutung, ob ein Datenwort oder ein bit direkt, also wahlfreier Zugriff (randon access) oder nur in Abhängigkeit einer bestimmten Reihenfolge der Speicherplätze, also serieller Zugriff (serial access) ausgelesen werden kann. Des weiteren unterscheidet man noch, ob es ein bit- oder wortorganisierter Speicher (Bild 2.4) ist.

3. Einteilung der Halbleiterspeicher

Der Speicher bzw. das Speicherelement bewahrt die binäre Information zur späteren Weiterverarbeitung auf. In bezug auf die Dauer der Speicherung unterscheidet man zwischen *Kurzzeit-* und *Langzeitspeichern* (Bild 3.1).
In den *Kurzzeitspeichern* werden die Informationen nur vorübergehend abgelegt. Die *Langzeitspeicher* benutzt man dagegen zur Speicherung von größeren Informations- und Datenmengen über einen längeren Zeitraum. Sie werden weiterhin in *statische* und *dynamische* Speicher unterteilt. Ungetaktete und taktzustandsgesteuerte Flip-Flops sind statische Kurzzeitspeicher, während zu den dynamischen die taktflankengesteuerten Flip-Flops zählen. Zu den dynamischen Kurzzeitspeichern gehören auch die Register und Schieberegister, die aus dynamischen Flip-Flops aufgebaut sind. Es gibt *rechts-* und *linksschiebende* Register. Die

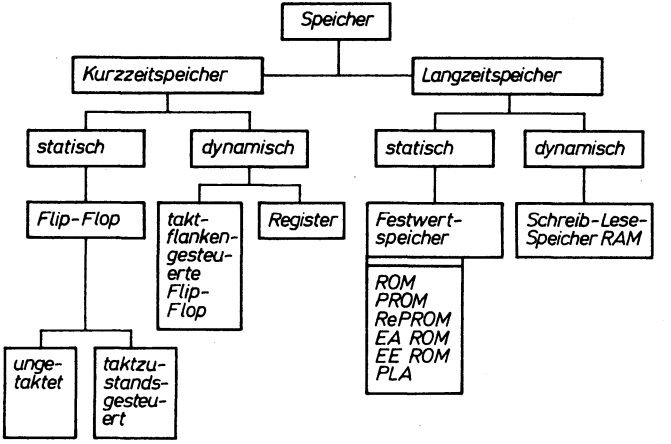


Bild 3.1 Grundsätzliche Einteilung der Halbleiterspeicher

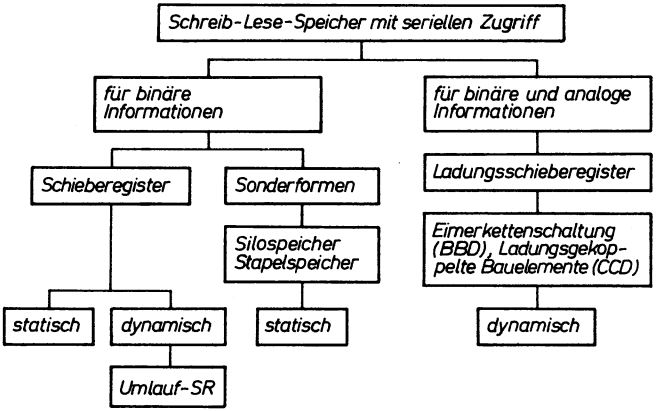


Bild 3.2 Einteilung der Register

Information wird dabei von einem Speicherelement zum anderen unter Einwirkung eines Taktsignals geschoben. Bild 3.2 zeigt die Einteilung der Register. Das besondere Interesse gilt aber den Langzeitspeichern, ohne die keine Rechenanlage, kein Mikrorechner oder keine programmierbare Steuerung funktionsfähig ist.

Bild 3.3 zeigt eine weitere umfangreichere Einteilung der Halbleiterspeicher, in der auch Sonderformen enthalten sind. Grundsätzlich lassen sich die Halbleiterspeicher nach folgenden Kriterien einteilen:

- Art des Zugriffs: wahlfrei oder seriell,
- Art der Speicherzelle: statisch oder dynamisch,
- Technologie: bipolar oder MOS,
- Verwendungszweck: Festwert- oder Schreib-Lese-Speicher.

Als Speicherprinzip wird die statisch oder dynamisch arbeitende Speicherzelle angewendet. Bei den dynamischen Speicherzellen muß die Information in bestimmten definierten Abständen immer wieder aufgefrischt werden. Das realisiert die Auffrischlogik, der Vorgang wird als *Refresh* bezeichnet. Bei den statischen Speichern ist dieser Refreshzyklus nicht notwendig, da die Spei-

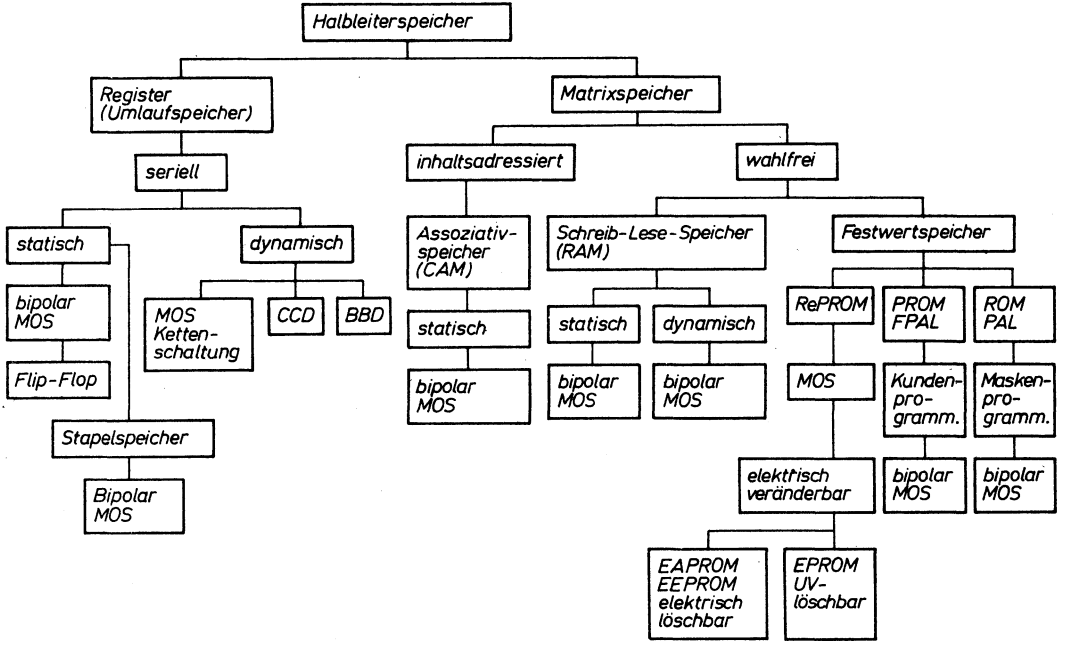


Bild 3.3 Ausführliche Einteilung der Halbleiterspeicher

cher aus statischen Flip-Flops bestehen. Aus technologischer Sicht unterscheidet man zwischen bipolaren Speichern und Speichern, die aus MOS-Transistoren hergestellt werden.
Bei der Anwendung unterscheidet man zwischen den *Festwertspeichern,* die die Information bzw. Daten dauerhaft, nichtflüchtig, speichern, und den *Arbeitsspeichern,* in denen Daten eingeschrieben und ausgelesen werden. Die Festwertspeicher bezeichnet man als ROM (**R**ead **O**nly **M**emory) und die Arbeitsspeicher als RAM (**R**andom **A**ccess **M**emory); beides sind Speicher mit wahlfreiem Zugriff. Die RAMs sind flüchtige Speicher und verlieren ihren Inhalt schon bei kurzzeitiger Betriebsspannungsunterbrechung.
Bei der Art des Zugriffs unterscheidet man zwischen dem wahlfreien Zugriff, bei dem jede Speicherzelle einzeln adressiert werden kann, und dem *seriellen* Zugriff, bei dem man nur auf einen ganzen Datenblock oder erst nach einer bestimmten Reihenfolge auf eine Date (Umlaufspeicher) zugreifen kann.

3.1. Speicherarten

Die Entwicklung der Halbleiterspeicher hat eine Reihe von Speicherarten hervorgebracht, die in der Tabelle 3.1[1] zusammengefaßt sind und deren wichtigste Arten im nächsten Abschnitt beschrieben werden. Darüber hinaus gibt es noch einige Sonderformen wie CCD-Speicher, PAL-Schaltungen, FIFO- und FILO-Speicher u. a. m.

Tabelle 3.1 Halbleiterspeicherarten

	Speicher	Programmieren	Löschen	Speicherinhalt bei Stromabschaltung
SAM	Speicher mit seriellem Zugriff (Serial Access Memory)	elektrisch	elektrisch	flüchtig
RAM	Speicher mit wahlfreiem Zugriff (Random Access Memory)	elektrisch	elektrisch	flüchtig
CAM	Assoziativspeicher (inhaltsadressiert) (Content adressed Memory)	elektrisch	elektrisch	flüchtig
ROM	Nur-Lese-Speicher (Festwertspeicher) (Read Only Memory)	Maske bei Hersteller	nicht möglich	nichtflüchtig
PROM	Programmierbare Festwertspeicher (Programmable ROM)	elektrisch Anwender	nicht möglich	nichtflüchtig
EPROM	Löschbarer Festwertspeicher (Erasable PROM)	elektrisch	UV-Licht (Röntgen)	nichtflüchtig
REPROM	Umprogrammierbare Festwertspeicher (Reprogrammable ROM)			
EEROM	Elektrisch löschbarer Festwertspeicher (Electrically Reasable ROM)	elektrisch	elektrisch	nichtflüchtig
EAROM	Elektrisch veränderbarer Festwertspeicher (Electrically Alterable ROM)			

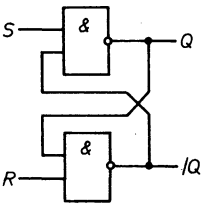
Vorteile	Nachteile
– flexible Anpassung von Zugriffszeit, Datenrate, Schleifenlänge	– große Zugriffszeit, u. U. Auffrischverstärker erforderlich
– hohe Speicherkapazität 1 Mbit – kurze Zugriffszeit – geringe Verlustleistung (dynamischer Speicher)	– Batteriepufferung erforderlich, um Speicherinhalt bei Stromausfall zu halten
– Such- und Vergleichsfunktionen möglich – hohe Leistungsfähigkeit	– großer Zellenflächenbedarf – große Anschlußzahl erforderlich, deswegen nur mit kleiner Kapazität verfügbar
– großes Speichervolumen – geringe Verlustleistung (< 400 mW) – kleine Zugriffszeit (≈ 200 < ns)	– Programmierung durch Hersteller – hohe Programmierzeit – keine Umprogrammierung
– anwenderprogrammierbar – kleine Programmierzeit (Sekunden) – kleine Zugriffszeit (< 100 ns) – bedingt umprogrammierbar	– Programmiergerät erforderlich – keine Korrekturmöglichkeit bei Fehlern
– Umprogrammierung möglich (UV-Bestrahlung) – kurze Programmierzeit – große Speicherkapazität (512 kbit) – geringe Verlustleistung (< 100 mW)	– hohe Kosten – Programmier- und Löschgeräte erforderlich
– elektrische Umprogrammierung, sonst wie EPROM	– derzeit noch Entwicklungsprobleme – hoher Preis – Zuverlässigkeit noch gering

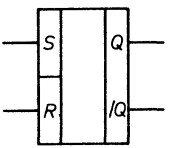
4. Speicherbausteine

Im folgenden werden die wichtigsten der in Abschnitt 3. genannten Speicher hinsichtlich ihrer Organisation, ihres Aufbaus und ihrer Speicherzelle beschrieben.
Der einfachste Speicher ist das Flip-Flop.

4.1. Das Flip-Flop als Speicher

Das bistabile Flip-Flop besteht aus 2 über Kreuz rückgekoppelten Invertern.
Jedes Flip-Flop ist grundsätzlich als Speicherelement anzusehen.
Als Schaltkreise stehen dafür NAND- und NOR-Inverter und Flip-Flops zur Verfügung, aus denen Speicher aufgebaut werden können.
Das einfachste Speicherelement setzt sich aus 2 NAND-Gattern (analog NOR-Gatter) zusammen (Bild 4.1).





S	R	Q	/Q
L	L	Q	/Q
L	H	H	L
H	L	L	H
H	H	x	x

x = nicht definiert

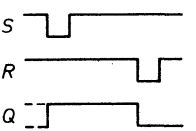
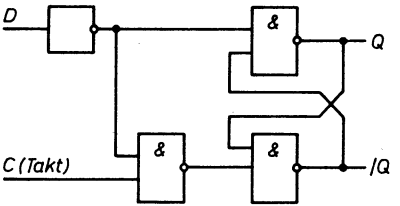
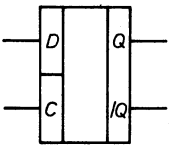
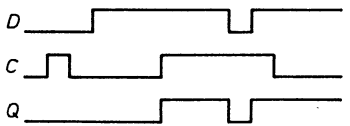


Bild 4.1
NAND-Flip-Flop

Im Ruhezustand liegen der Setzeingang S und der Rücksetzeingang R auf logisch H. Die beiden Eingänge sind damit unwirksam, und der Ausgang schaltet in einen beliebigen nichtvorherbestimmbaren Zustand. Legt man den Eingang S kurzzeitig auf logisch L, so wird der Ausgang Q logisch H und der Ausgang /Q logisch L. Dieser Zustand bleibt dann erhalten, und das Flip-Flop speichert die Information so lange, bis es durch einen kurzen Impuls (logisch L) am Eingang R zurückgesetzt wird.
Das gleichzeitige Anliegen des logischen H an den Eingängen R und S kippt das Flip-Flop in eine nichtvorherbestimmbare Lage, und man kennzeichnet es daher in der Funktionstabelle als nichtdefiniert; denn es wird einer der beiden Ausgangstransistoren der NAND-Gatter schneller leitend und sperrt damit den anderen. In Schaltungen vermeidet man daher diese Signalzustände.
In vielen Fällen ist es nur erlaubt, daß sich die Speicherinformationen mit einem zentralen Takt ändern dürfen. Dem Grund-Flip-Flop (Bild 4.1) werden dazu 2 weitere NAND-Gatter als Steuerschaltung vorgeschaltet, und es entsteht das D-Flip-Flop (Bild 4.2).
Das D-Flip-Flop leitet die am Eingang D anliegende Information (logisch L oder H) mit anliegendem Taktsignal C an den Ausgang Q weiter. Die Schaltzustände am Ausgang Q folgen den Schaltzu-







D	C	Q_{n+1}	$/Q_{n+1}$
L	L	L	H
H	H	H	L

Bild 4.2 D-Flip-Flop

ständen am Eingang D entsprechend der Funktionstabelle. Dieses Flip-Flop wird auch als *Auffang-Flip-Flop* (latch) bezeichnet.

4.2. Schreib-Lese-Speicher mit wahlfreiem Zugriff (RAM)

Der Schreib-Lese-Speicher mit wahlfreiem Zugriff wird in seinem Aufbau und seiner Wirkungsweise an Hand eines Übersichtsschaltplans beschrieben. Weiterhin werden die Leistungsparameter und Speicherzellen vorgestellt.

4.2.1. Aufbau und Organisation eines Schreib-Lese-Speichers

Bild 4.3 zeigt den Übersichtsschaltplan eines wahlfrei adressierbaren Schreib-Lese-Speichers.

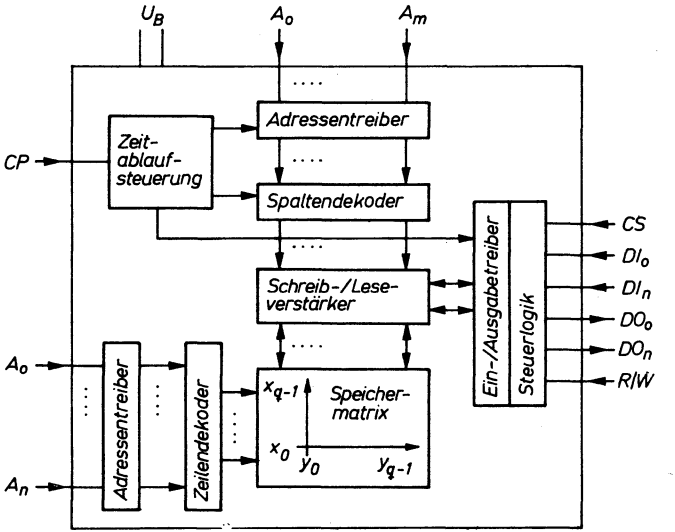


Bild 4.3 Übersichtsschaltplan eines wahlfrei adressierbaren Schreib-Lese-Speichers

Kernstück des Speichers ist die Speicherzellenmatrix. Sie besteht aus 2^n Zeilen (Wortrichtung) und 2^m Spalten (bit-Richtung). Beim Aufrufen (Adressieren) einer Zelle werden die zugehörigen Zeilen- und Spaltenleitungen an ein logisches Signal (H oder L) gelegt. Um die Anschlußleitungen zur Auswahl der Speicherzellen zu verringern, sind die Dekoderschaltungen zur Auswahl der Wort- und bit-Leitungen eingebaut. Diese Dekoder sind die Zeilen- und Spaltendekoder, die aus Inverter- und NOR-Schaltungen bestehen. Weiterhin befinden sich Treiberschaltungen vor den Dekodern, die eine pegel- und lastgerechte Ansteuerung bewirken. Die Schreib- und Leseverstärker an den Leitungen der adressierten Speicherzellen bewirken neben der Verstärkung der Lesepegel auch das Durchschalten der aufgerufenen Zellen an den Datenausgang und -eingang.
Die Steuerlogik hat die Aufgabe, die Ausgänge des Speicherbausteins entsprechend freizugeben oder zu sperren und damit die gewünschte Betriebsart (Schreiben oder Lesen) zu realisieren. Weitere Anschlüsse wie **C**hip **S**elect (CS), **C**hip **E**nable (CE) oder **M**emory **E**nable (ME), mit denen sich der gesamte Speicherbaustein sperren läßt, sind für den Aufbau von Speichersystemen vorgesehen, wenn aus mehreren Speichern einer ausgewählt werden soll.
Bild 4.4 zeigt einen bipolaren 16-bit-RAM *(D 181)*. Die Daten werden in 16 Flip-Flops mit Multiemittertransistoren gespeichert. Zum Auslesen eines Speicherplatzes wird jeweils die x- und y-Leitung aktiviert [2]. So fließt am adressierten Flip-Flop der gesamte Kollektorstrom des leitenden Transistors in die Leseleitung, wird verstärkt und zur Ausgangsinformation aufbereitet. Das Einschreiben einer Date geschieht über die Leseleitung. Dieser Speicher wird zerstörungsfrei gelesen. Für dynamische Schreib-Lese-Speicher wird noch die Auffrischlogik benötigt, damit die als Ladung gespeicherten Informationen nicht verlorengehen. Für jede Speicherzelle ist dabei nach einer bestimmten Maximalzeit (ms-Bereich) ein Auffrischzyklus erforderlich. Das Auffrischen geschieht in der Regel spaltenweise. Ein Taktgenerator steuert den Auffrischzähler, und dieser erzeugt nacheinander alle Adressen, die auf einen Multiplexer geschaltet sind. Dieser

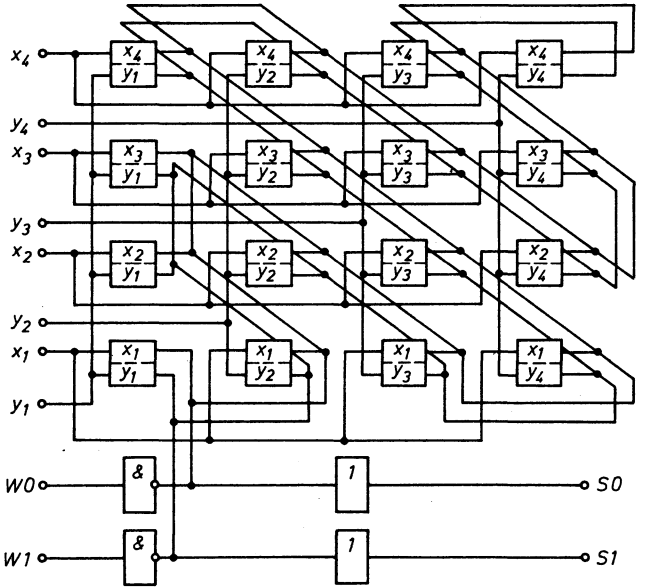


Bild 4.4 Bipolarer 16-bit-RAM *(D 181)*, prinzipieller Aufbau

realisiert, daß der Speicherbaustein entweder mit der Auffrischadresse oder der Arbeitsadresse verbunden wird. Ein gleichzeitiges Lesen und Auffrischen ist nicht möglich (Bild 4.5).

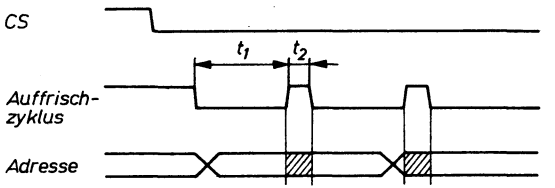


Bild 4.5 Auffrischzyklus eines dynamischen RAMs

4.2.2. Speicherzellen für Schreib-Lese-Speicher

Die Speicherzelle ist der Platz im Speicher, in dem die binäre Information mit der Einheit bit gespeichert wird. Realisiert werden sie als bistabile Kippstufen oder Ladungsspeicher in Form von Kondensatoren. Man wendet dabei bipolare und MOS-Technologien an.
In den statischen Speichern wird die Information in bistabilen Elementen gespeichert. Bei den dynamischen Speichern wird die Information als Ladung in integrierten Kapazitäten gespeichert. Den dynamischen Speicher stellt man z. Z. nur in MOS-Technologie her, und er muß, um einen Datenverlust zu vermeiden, immer wieder aufgefrischt werden.

4.2.2.1. Statische Speicherzellen

MOS-Speicherzellen
Die bistabile Kippstufe besteht aus 2 rückgekoppelten Invertern (Bild 4.6).
Der Inverter setzt sich aus einem Treibertransistor und einer ohmschen Last zusammen. Diese ohmsche Last kann entweder aus einem Widerstand (Bild 4.6) oder aus einem Transistor (Bild 4.7) bestehen. Man bezeichnet dieses Flip-Flop auch als MOS-Basis-Flip-Flop. Als Transistoren werden in der integrierten

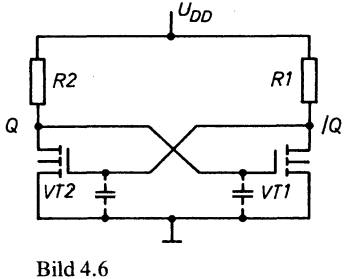


Bild 4.6
Statische MOS-Speicherzelle

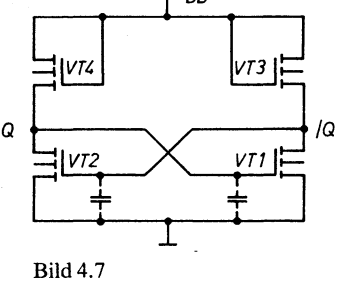


Bild 4.7
MOS-Basis-Flip-Flop

Schaltungstechnik vor allem Transistoren vom Anreicherungstyp verwendet, die durchschalten, wenn die steuernde Gatespannung wesentlich über den Schwellenspannungen der Transistoren liegt. Jeder der beiden Treiber VT1 bzw. VT2 erhält seine Gatespannung jeweils vom Ausgang des anderen Transistors, der damit seinen Schaltzustand bestimmt. Da ein Inverter des Flip-Flops immer Strom zieht und somit Verlustleistung umsetzt, werden die beiden Lastwiderstände $R1$ und $R2$ sehr hochohmig (MΩ-Bereich) ausgelegt.

Die Ladungsverluste der Gatekapazitäten (gestrichelt gezeichnet), die durch Leckströme verursacht werden, sind so klein, daß ein sehr geringer Strom aus der Betriebsspannung U_{DD} ausreicht, um sie über die Lasttransistoren auszugleichen, ohne daß das Betriebsverhalten des Flip-Flops beeinträchtigt wird.

Da sich Widerstände in der integrierten Technik schwierig realisieren lassen, treten an die Stelle der Lastwiderstände oft Lasttransistoren (VT3 und VT4). Handelt es sich bei diesen Transistoren um Anreicherungstypen, so liegen die Ausgangsspannungen Q und /Q um den Wert der Schwellenspannung der Lasttransistoren tiefer als die Betriebsspannung U_{DD}, wenn die Gates der Lasttransistoren an die Betriebsspannung U_{DD} gelegt sind (Bild 4.7). Der Nachteil dieser Schaltung ist, daß der verfügbare Spannungshub beim Umschalten des Flip-Flops verringert wird. Dadurch steigt die Störanfälligkeit, und die Schaltgeschwindigkeit sinkt. Diese Nachteile beseitigt man, indem das Gate der Lasttransistoren an eine gegenüber der Betriebsspannung U_{DD} viel höhere Gatespannung U_{GG} gelegt und damit der volle Spannungshub von 0 V bis U_{DD} erreicht wird (Bild 4.8).

Verwendet man Lasttransistoren vom Verarmungstyp, so kann man die Betriebsspannung U_{GG} einsparen, da sie bei einer Gatespannung von 0 V leiten und somit die Gatekapazitäten der Treiber bis auf die Betriebsspannung U_{DD} aufgeladen werden. Der Ausgang des gesperrten Inverters befindet sich damit auf der vollen Spannung U_{DD}. Ein weiterer Vorteil ist die hohe Schaltgeschwindigkeit; nachteilig erweist sich das aufwendigere Herstellungsverfahren.

In einem Speicherbaustein sind diese Speicher-Flip-Flops in einer

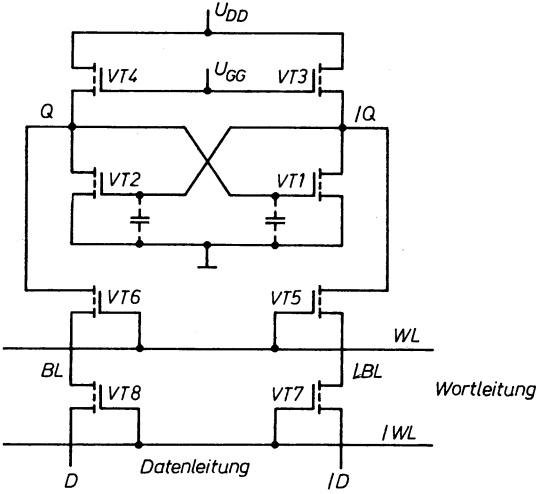


Bild 4.8 bit-organisierte statische MOS-Speicherzelle mit Lasttransistoren; VT7 = VT5, VT8 = VT6

Matrix aus Zeilen und Spalten angeordnet. Um nun eine Speicherzelle in der Matrix zum Lesen oder Schreiben zu lokalisieren, bedarf es einer Reihe zusätzlicher Steuerelemente, mit denen das eigentliche Speicher-Flip-Flop an die Ein- und Ausgabeschaltung des Speicherbausteins angeschaltet wird (s. auch Bild 4.3). Bild 4.8 zeigt dieses an einer Speicherzelle mit Lasttransistoren für einen bit-organisierten Speicher.

Über die beiden Schalttransistoren VT5 und VT6, die ihre Steuerspannung von der Wortleitung WL erhalten, werden die beiden Ausgänge des Flip-Flops (VT1 bis VT4) an das bit-Leitungspaar BL und /BL geschaltet. Alle Speicherzellen einer Spalte liegen an diesen bit-Leitungen. Diese Spalten werden über die Transistoren VT7 und VT8 an die Ein- und Ausgabeschaltung geschaltet. Die Steuerbefehle für VT7 und VT8 werden durch den bit-Dekoder realisiert.

Beim *Schreibvorgang* wird nun über den Wort- und bit-Dekoder

die selektierte Speicherzelle vom bit-Leitungspaar gesetzt. Soll ein logisch H eingeschrieben werden, wird von der Eingabeschaltung die bit-Leitung BL auf logisch H und die bit-Leitung /BL auf logisch L gelegt. Die Ausgänge des Speicher-Flip-Flops stellen sich auf den Zustand ein und bleiben auch erhalten, wenn man die Adressierung oder den Schreibbefehl wegnimmt.
Beim *Lesevorgang* werden nach der Adressierung die Ausgangsspannungen der dekodierten Speicherzelle von der Ausgabeschaltung über die bit-Leitungen abgefragt.
Bild 4.9 zeigt eine wortorganisierte statische MOS-Speicherzelle mit Lasttransistoren.
Es sind gegenüber der bit-organisierten Speicherzelle nur 6 Transistoren erforderlich. Die Transistoren VT6 und VT7 arbeiten in diesem Fall wieder als Schalter und werden über den Wortdekoder gesteuert. Die Speicherzelle kann nach Ansteuerung der Transistoren VT5 und VT6 über den Wortdekoder entweder abgefragt oder geändert werden. Sind die Transistoren VT5 und VT6 offen, so wird die Information gespeichert.

Bipolare Speicherzellen
– Multiemitterspeicherzelle
Wie bei der MOS-Speicherzelle bildet auch das Grundelement der statischen bipolaren Speicherzelle ein bistabiles Flip-Flop, das aus 2 rückgekoppelten Invertern besteht (Bild 4.10).
Die Kollektorspannung des einen Transistors steuert die Basis-Emitter-Strecke des anderen Transistors. Das Flip-Flop hat somit 2 stabile Zustände. Das Umschalten des Flip-Flops geschieht durch gleichzeitiges Anlegen von Impulsen entgegengesetzter Polarität.
Um dieses Flip-Flop als Speicherzelle verwenden zu können, muß es ansteuerbar und müssen seine Schaltstufen an den Kollektoren abfragbar sein, was einem Schreib- bzw. Lesevorgang entspricht. Zur Realisierung dieser Speicherzelle bedient man sich in der integrierten Schaltungstechnik zweier Multiemittertransistoren (Bild 4.11). Je ein Emitter der Transistoren VT1 und VT2 ist mit der Wortleitung verbunden. Die beiden anderen Emitter sind mit den Datenleitungen, der bit-Leitung BL und /BL ver-

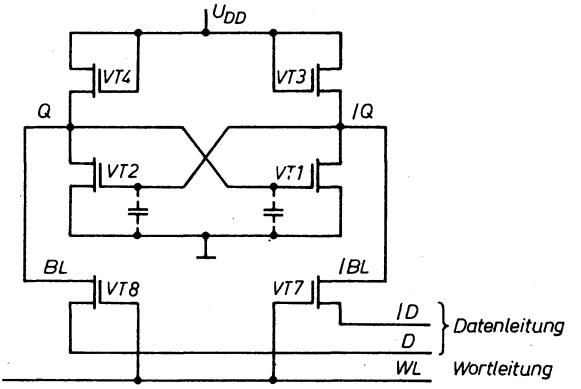


Bild 4.9 Wortorganisierte statische MOS-Speicherzelle mit Lasttransistoren

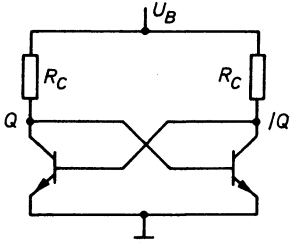


Bild 4.10
Bipolares Basis-Flip-Flop

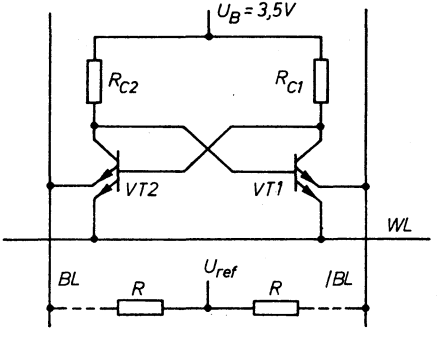


Bild 4.11
Bipolare statische Speicherzelle mit Multiemittertransistor

bunden. Die bit-Leitungen liegen über den Widerstand R auf einer Referenzspannung U_{ref} (0,5 ... 1,5V), die im Speicher intern erzeugt wird. Im Ruhezustand liegt die Wortleitung WL auf niedrigem Potential (Information 0, logisch L), und der Kollektorstrom des leitenden Transistors fließt über sie ab. Angenommen, der rechte Transistor VT1 sei leitend, so schaltet ihn der linke Transistor VT2 mit einer Basis-Emitter-Spannung U_{BE} = 0,7V durch und zieht aus der Betriebsspannung über seinen Lastwiderstand R_C Strom, der über den Emitter in die Wortleitung abfließt. Gleichzeitig wird der linke Transistor durch die Kollektor-Emitter-Spannung ($U_{CE\,sat}$) des rechten Transistors gesperrt.
Beim *Lesevorgang* wird die Wortleitung WL auf ein H-Potential gelegt. Der Strom im rechten Transistor wechselt dabei in den Emitter, der mit der bit-Leitung /BL verbunden ist, und die Ausgabeschaltung erkennt das am rechten Widerstand R als hohes Potential. Analog gilt das, wenn der linke Transistor durchgesteuert ist.
Legt man nun die Wortleitung wieder auf L-Potential, so wechselt der Strom des leitenden Transistors auf den Emitter zurück. Das Flip-Flop wird also zertörungsfrei gelesen.
Beim *Schreibvorgang* wird die Speicherzelle wie beim Lesen selektiert. Danach werden die bit-Leitungen BL bzw. /BL durch die Eingabeschaltung entsprechend der zu speichernden Information auf eine höhere oder niedrigere Spannung als die Referenzspannung gezwungen. Ein Emitter der beiden Transistoren liegt somit auf niedrigerem Potential als der andere und schaltet seinen Transistor durch.
Soll z. B. die Information L eingeschrieben werden, wird die bit-Leitung /BL auf L und die BL auf H gelegt. Somit leitet der Transistor VT1, und VT2 sperrt. Beim Einschreiben einer Information H wird dagegen BL auf L und /BL auf H gelegt. Wird nun die Wortleitung nach dem Schreibvorgang wieder auf L gelegt, kann der Strom des leitenden Transistors VT2 über sie abfließen. Man kann erkennen, daß sich einer der beiden Transistoren immer im leitenden Zustand befindet und somit eine relativ hohe Verlustleistung entsteht, die kennzeichnend für die statische Speicherzelle ist. Weiterhin kann man sehen, daß eine Betriebsspannungsun-

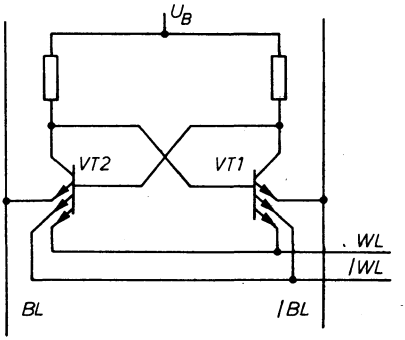


Bild 4.12
Bipolare bit-organisierte Speicherzelle

terbrechung zum Datenverlust führt, da beim Wiedereinschalten der Zustand der Flip-Flops nicht definierbar ist.
Realisiert man die Multiemittertransistoren mit 3 Emittern je Transistor, so erhält man eine bit-organisierte Speicherzelle (Bild 4.12).

– Diodengekoppelte Speicherzelle
Die diodengekoppelte Speicherzelle arbeitet ohne Multiemittertransistoren (Bild 4.13). Die Inverter der Kippstufen sind über

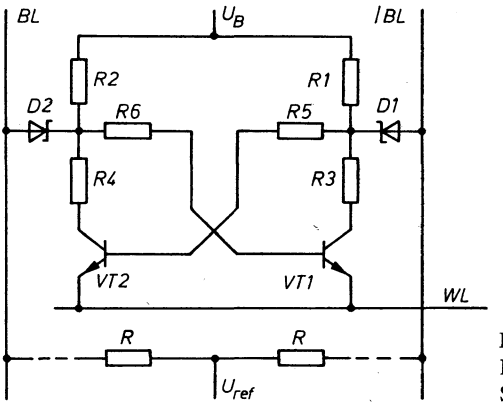


Bild 4.13
Diodengekoppelte Speicherzelle

Schottky-Dioden an die bit-Leitungen gekoppelt. Angewendet wird diese Speicherzelle bei höherintegrierten Speichern, da der Flächenbedarf annähernd so groß wie der der Multiemitterzelle ist. Weiterhin hat die Zelle eine sehr geringe Verlustleistung, da die Lastwiderstände $R1$ und $R2$ hochohmig (etwa 20 kΩ) sind. Die *Schottky*-Dioden sind als Metall-Halbleiter-Kontakt – wie auch die Widerstände – integrierter Bestandteil der Kollektorstrecken der integrierten Transistoren.

Im Ruhezustand fließt über den leitenden Transistor nur ein sehr geringer Strom, da die Wortleitung WL auf ein Potential von 2,5 V angehoben wird und die Widerstände $R1$ und $R2$ hochohmig sind. Bei einer Betriebsspannung von 3,5 V werden die Inverterstufen nur mit einer Speisespannung von 1 V betrieben, woraus die geringe Verlustleistung resultiert.

$R1$ und $R2$ haben keinen Einfluß auf die Schaltgeschwindigkeit und können somit hochohmig sein. Die beiden *Schottky*-Dioden sind gesperrt, da ihre Anoden an der niedrigen Referenzspannung U_{ref} und ihre Katoden an der höheren Wortleitungsspannung liegen.

Beim *Lesevorgang* wird die Wortleitung auf 0,3 V abgesenkt, wodurch die Verlustleistung ansteigt und die *Schottky*-Diode auf der Seite des leitenden Transistors – angenommen VT1 – durchsteuert. Somit zieht der Transistor VT1 über die Diode VD1 und $R3$ einen Strom von etwa 0,5 mA aus der Referenzspannung U_{ref}. Die Spannung auf der bit-Leitung geht dadurch auf einen niedrigen Wert zurück, und die Ausgabelogik erkennt diese Spannung als L-Potential.

Wird das Potential der Wortleitung nach dem Lesen wieder auf 2,5 V angehoben, sperrt die Diode wieder, und der ursprüngliche Speicherzustand bleibt erhalten.

Beim *Schreibvorgang* wird wie beim Lesevorgang die Wortleitung auf 0,3 V abgesenkt und die bit-Leitung BL bzw. /BL über die Eingabeschaltung auf ein H-Potential gelegt. Die *Schottky*-Diode des leitenden Transistors schaltet durch und läßt den Strom von der bit-Leitung über den Widerstand $R3$ bzw. $R4$ durch den Transistor fließen. Der Spannungsabfall an $R3$ bzw. $R4$ schaltet den nichtleitenden Transistor durch und sperrt über die

Rückkopplung der Inverter den bisher leitenden Transistor und seine *Schottky*-Diode.
Ist der Transistor auf der Seite des H-Potentials nicht leitend, so schaltet auch die *Schottky*-Diode nicht, und das Flip-Flop kann nicht kippen. Das Umschalten der Speicherzelle wird durch den eingespeisten Basisstrom bestimmt und kann somit sehr schnell geschehen.

4.2.2.2. Dynamische Speicherzellen

Die Forderung nach Speicherbausteinen mit immer höherer Speicherkapazität und geringerer Verlustleistung führte zur Entwicklung von dynamischen Speicherzellen. Die dynamischen Speicherzellen lassen sich z. Z. nur in MOS-Technik herstellen. Die Daten werden in parasitären Kapazitäten, die als Gate-Source- oder Gate-Drain-Kapazitäten in MOS-Schaltungen vorhanden sind, gespeichert. Diese Kapazitäten betragen nur wenige Picofarad, so daß die in den Kondensatoren gespeicherte Energie wegen der unvermeidbaren Leckströme nur geringe Zeit aufrechterhalten werden kann. Um einen Datenverlust zu vermeiden, verwendet man Auffrischschaltungen, die die verlorengegangene Energie ständig wieder zuführen. Diese Auffrischzyklen müssen in Abständen von etwa 2 ms durchgeführt werden.
Ausgehend von der 6-Transistor-Speicherzelle (Bild 4.8) kommt man zur dynamischen 4-Transistor-Speicherzelle, indem auf die Lasttransistoren VT3 und VT4, die die Aufgabe haben, den Ladungsverlust der Gatekapazitäten der Treiber auszugleichen, verzichtet wird (Bild 4.14).
Die Ladungen sind nun allein von den Treibertransistoren VT1 und VT2 zu halten. Diese Ladungen gehen aber durch Leckströme über die Transistoren VT5 und VT6 verloren und somit auch der eingestellte Zustand der Speicherzelle, so daß rechtzeitig wieder aufgefrischt werden muß.
Die Transistoren VT5 und VT6 werden getaktet. Über die Datenleitung BL und /BL läßt sich das Speicher-Flip-Flop setzen und eine Information speichern. Nach dem Setzen des Speicher-Flip-Flops werden durch Absenkung der Gatespannung die Widerstands-

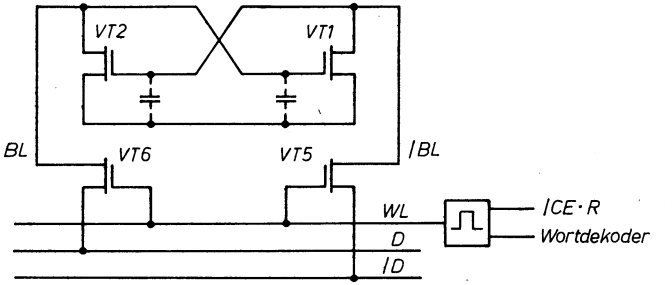


Bild4.14 Dynamische 4-Transistor-Speicherzelle

werte der Transistoren VT5 und VT6 erhöht, und sie wirken somit als Lastwiderstand für das Speicher-Flip-Flop. Ist nun VT1 durch eine Ladung auf der Gate-Source-Kapazität durchgesteuert, so wird sich diese gespeicherte Ladung über die gesperrten Transistoren VT2 und VT6 entladen. Um das zu verhindern, geschieht das Auffrischen über VT5 und VT6. Ein Zugriff zur Speicherzelle ist während des Auffrischens nicht möglich. Zum *Lesen* werden die Widerstandswerte von VT5 und VT6 verringert und die Potentiale an VT1 und VT2 abgefragt.

Ein weiterer Transistor kann eingespart werden, wenn man bedenkt, daß bei einem Flip-Flop immer nur ein Transistor leitend ist. Das führt zur 3-Transistor-Speicherzelle (Bild 4.15). Die Transistoren VT5 und VT6 arbeiten als Schalter, und der Transistor VT1 bildet mit seiner Gate-Source-Kapazität das Speicherelement.

Das *Einschreiben* einer Information wird über die bit-Leitung BL durch Aktivierung des Transistors VT6 vorgenommen. Der VT6 steuert durch und lädt oder entlädt die Gate-Source-Kapazität des Transistors VT1 entsprechend dem Potential auf BL.

Zum *Lesen* wird der Schaltzustand des VT1 über den Schalter VT5 von der bit-Leitung /BL abgefragt. Dazu wird die bit-Leitung (Datenleitung) auf hohes Potential (etwa 12 V) angehoben. Hat die Spannung am Kondensator einen so großen Wert, daß der Schwellwert von VT1 erreicht ist, leitet der Transistor und schaltet niedriges Potential auf die Datenleitung. Wurde der Schwellwert

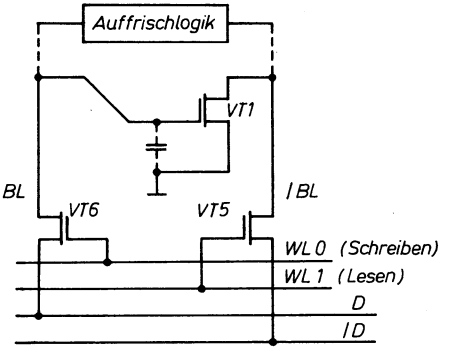


Bild 4.15
Dynamische 3-Transistor-Speicherzelle

nicht erreicht, bleibt die Datenleitung auf hohem Potential, das VT1 sperrt.

Daraus ist zu erkennen, daß die Information (logischer Wert) über VT1 invertiert wird. Ein hohes Potential beim Schreiben hat ein niedriges Potential beim Lesen auf der entsprechenden bit-Leitung zur Folge.

Wie sich ersehen läßt, ist ein Zugriff zu den Speichern während des Auffrischens nicht statthaft. Ein Nachteil besteht auch darin, daß der Auffrischvorgang für jede Zeile der Speichermatrix durchzuführen ist, womit die Verfügbarkeit des Speichers herabgesetzt wird.

Zur 1-Transistor-Speicherzelle und der damit verbundenen Reduzierung der Speicherzellenfläche gelangt man, indem man über den Wortschalter VT5 nur noch die Kapazität C auflädt und die Spannung auf ihr wieder abfragt (Bild 4.16). Das Lesen oder Schreiben der Information geschieht durch Aktivieren des Transistors VT5 über die Wortleitung WL, wobei der Speicherkondensator C über die Datenleitung BL aufgeladen bzw. entladen wird. Das Hauptproblem hierbei ist, beim Lesen einen genügend großen Spannungshub für die Ausgabeschaltung auf der bit-Leitung BL zu erhalten. Das ist deshalb so schwierig, weil die parasitäre Kapazität C_{BL} der bit-Leitung einen größeren Wert hat als die Speicherkapazität C. Die Spannung auf der Kapazität C bricht beim Schließen von VT5 auf $C/(C + C_{BL})$ zusammen. Der Lesever-

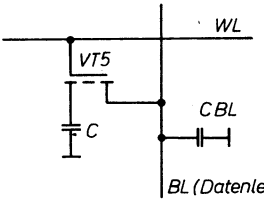


Bild 4.16
Dynamische 1-Transistor-Speicherzelle

stärker muß deshalb sehr empfindlich sein. Der Lesevorgang geschieht auch zerstörend, da die Ladung von der Kapazität abgezogen wird. Deshalb sind weitere Schaltungen auf den Chip notwendig, um die Daten nach dem Lesevorgang wieder in die Speicherzelle einzuschreiben. Über diese Schaltungen findet auch der Auffrischvorgang für den gesamten Baustein statt.

4.3. Der Festwertspeicher (ROM)

Der Festwertspeicher wird an Hand eines Übersichtsschaltplans in seinem Aufbau und seiner Funktionsweise beschrieben. Es werden die Leistungsparameter und die Speicherzellen der unterschiedlichen Arten von Festwertspeichern vorgestellt.

4.3.1. Aufbau und Organisation eines Festwertspeichers

Es werden Bipolar- und MOS-Strukturen eingesetzt. Die MOS-Schaltungen dominieren bei den Festwertspeichern. Löschbare ROMs werden nur in MOS-Technik hergestellt. Der Übersichtsschaltplan eines ROMs (Bild 4.17) gleicht dem eines RAMs (Bild 4.3), nur die Verknüpfungsschaltung am Ausgang ist nicht notwendig, da der Speicher nur gelesen wird.
Kernstück ist wiederum, wie beim RAM, die Speicherzellenmatrix. Die Speicherzellen haben aber einen wesentlich einfacheren Aufbau, da die Daten fixiert sind. Dementsprechend können als Koppelelemente zwischen der Wort- und bit-Leitung Widerstände, Dioden, Bipolar- und MOS-Transistoren verwendet wer-

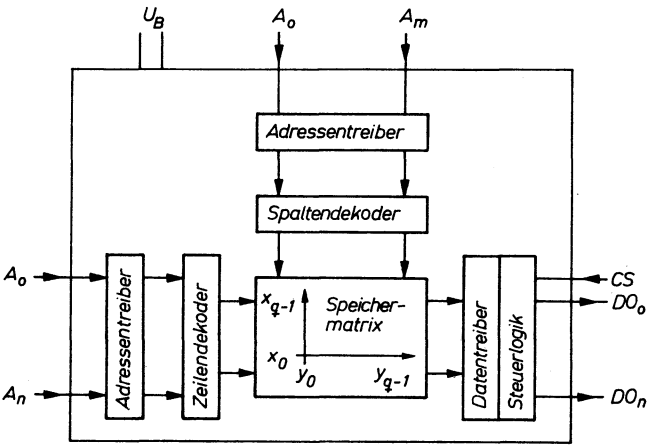


Bild 4.17 Übersichtsschaltplan eines Festwertspeichers (ROM)

den. Dieses Koppelelement kann nieder- oder hochohmig (Zustand L oder H) sein. Dieser Zustand wird ausgelesen und im System, in dem sich der ROM befindet, als Date (Information) weiterverarbeitet.

4.3.2. Einmalig programmierbare Festwertspeicher

Man unterscheidet bei den einmalig programmierbaren Festwertspeichern 2 Arten. Einmal die *maskenprogrammierbaren* Festwertspeicher (ROM) und zum anderen die *anwenderprogrammierbaren* Festwertspeicher (PROM). Bei beiden sind die Programmierprozesse irreversibel.

4.3.2.1. Der maskenprogrammierbare Festwertspeicher (ROM)

Die Speicherzellen oder Speicherelemente sind einfache Kopplungsschaltungen zwischen den Wort- und bit-Leitungen in der Speichermatrix. Diese Koppelelemente sind Dioden sowie bipo-

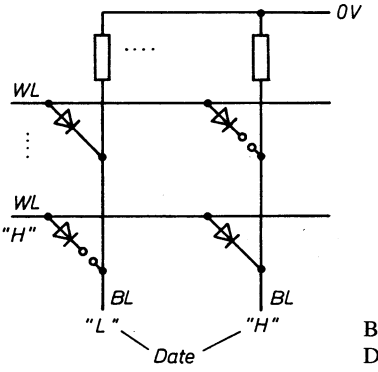


Bild 4.18
Diodenmatrix

lare oder MOS-Transistoren, aber auch Widerstände (NiCr) und Titan-Wolfram-Brücken werden eingesetzt.
Die einfachste und auch aus der »diskreten Technik« bekannteste Speichermatrix ist die *Diodenmatrix* (Bild 4.18). Legt man ein Steuersignal über den Adreßdekoder an die Wortleitung WL, so fließt ein Strom über die Dioden, die mit den bit-Leitungen BL verbunden sind, in die Widerstände der Matrix. Die Spannung wird als logisch H erkannt. Fehlt diese Verbindung zu den bit-Leitungen, so kann kein Strom fließen, und es wird als logisch L erkannt.
Bild 4.19 zeigt einen ausführlicher dargestellten ROM mit Diodenmatrix. Es ist die Adresse HHLL ... L eingetragen, die der kodierten Dezimalzahl 3 entspricht. Folglich befindet sich der Adreßdekoderausgang x_3 auf H-Potential, und am Speicherausgang erscheint das durch die an die Wortleitung 3 angeschlossenen Speicherzellen programmierte Ausgangssignal HLH ... H. Weiterhin kann über CS der Speicher blockiert werden. Entsprechend den Speicherausgängen (Tristate oder Open Collector) werden die Ausgangsstufen in einen hochohmigen Zustand oder die Transistoren in den Sperrzustand gebracht.
Auch ist die vorgestellte Speichermatrix zum Aufbau kleiner Speicher mit individuellen Spannungspegeln, für die es keine Speicherbausteine gibt, geeignet. Durch die »Verdrahtung« auf

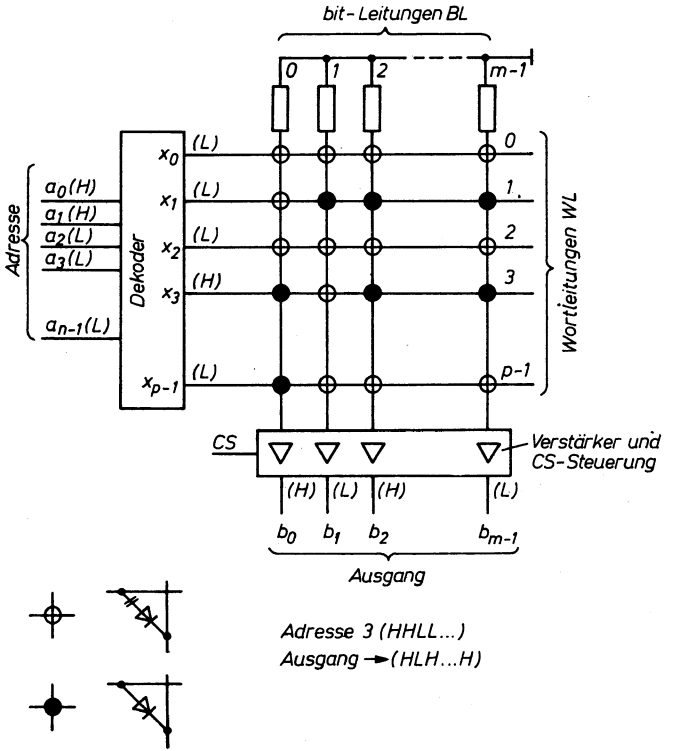


Bild 4.19 Organisation eines 4-bit-Wortes in 4 RAM-Speicherebenen

den Chip wird das Datenmuster des ROMs festgelegt. Das geschieht bei einem der letzten Herstellungsschritte durch die Metallisierungsmaske. Als Dioden verwendet man pn-Übergänge oder *Schottky*-Dioden. Die am gebräuchlichste Form der Speicherzellenmatrix in einem ROM ist die Transistormatrix. Anstatt der Dioden werden bipolare Transistoren (Bild 4.20) und MOS-Transistoren (Bild 4.21) verwendet.

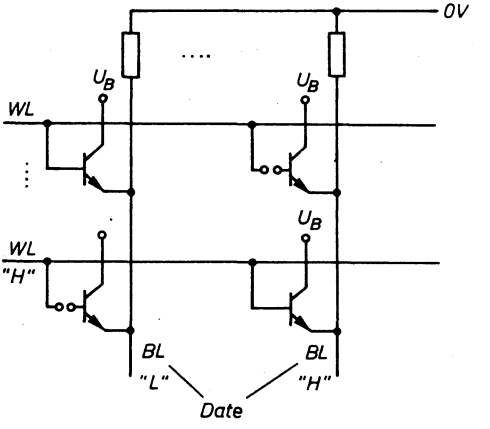


Bild 4.20 Matrix mit bipolaren Transistoren

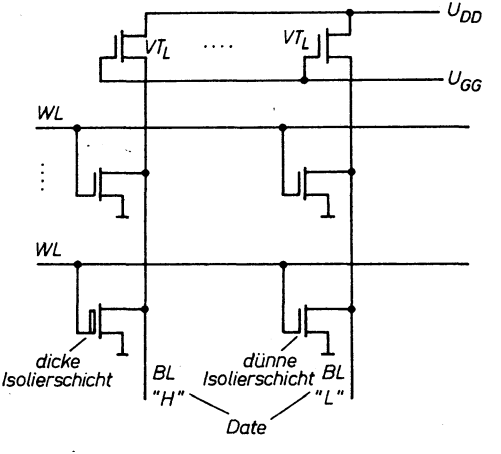


Bild 4.21 Matrix mit MOS-Transistoren

Durch die Verstärkerwirkung der Transistoren ist die Ansteuerleistung gegenüber der Diodenmatrix viel geringer. Die Emitter sind spaltenweise zusammengeschaltet und haben einen Arbeitswiderstand.
Bei der Transistormatrix mit MOS-Transistoren wird die Maskenprogrammierung durch die Dicke der Isolierschicht, die den Kanal des MOS-Transistors von seinem Gate trennt, erreicht. Der Zustand des Transistors wird mit einer Lesespannung auf der Wortleitung WL abgefragt. Bei dicker Isolierschicht und damit hohem Schwellwert sperrt der Transistor trotz dieser angelegten Spannung, und der Ausgang bleibt auf dem hohen Potential. Bei dünner Isolierschicht leitet der Transistor, und der Ausgang geht auf ein niedriges Potential. Die Lasttransistoren VT_L ersetzen – wie auch bei der RAM-Speicherzelle – die ohmschen Lasten.

4.3.2.2. Der anwenderprogrammierbare Festwertspeicher (PROM)

Die programmierbaren Festwertspeicher haben gegenüber den ROMs den Vorteil, daß sie beim Anwender mit einem Programmiergerät das jeweilige Muster eingeprägt bekommen können. Der Programmiervorgang ist dabei irreversibel. Ein einmal eingeschriebenes Programm läßt sich nur in der Hinsicht verändern, daß je nach Typ die noch unprogrammierten Speicherzellen auf H oder L programmiert werden können. Wie bei den ROMs enthalten sie in der Speichermatrix für jede Speicherzelle ein Programmierelement. Dieses wird vom Anwender auf elektrischem Wege mit definierten Impulsen durchgebrannt. Das Programmierelement (»Sicherung«) befindet sich zwischen der Speicherzelle und der bit-Leitung (Bild 4.22). Diese Programmierele-

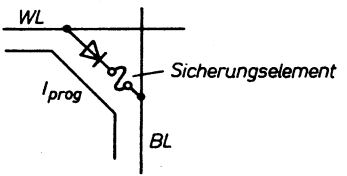


Bild 4.22
Programmierbares Diodenelement

mente lassen sich durch Leitungsverjüngungen in NiCr- oder Poly-Si-Verbindungsleitungen herstellen. Ein weiteres Verfahren ist, daß die Basis-Emitter-Strecke potentialsmäßig über den Avalanche-Durchbruch angehoben wird. Es findet eine Wanderung von Metallteilchen statt, die einen Kurzschluß bilden und damit den Transistor sperren. Dieses Verfahren nennt man auch *lawineninduzierte Migration* (**A**valanche **I**nduced **M**igration, AIM).

4.3.3. Mehrfach programmierbare Festwertspeicher (REPROM)

Die bisher erwähnten Programmierverfahren gestatten nur eine einmalige Progammierung des Speicherbausteins. Wird das Programm geändert, benötigt man auch einen neuen Speicherbaustein. Der Vorteil der mehrfach programmierbaren Festwertspeicher (REPROM, reprogrammable ROM) besteht nun darin, daß der Anfangszustand vom Anwender wiederhergestellt werden kann. Diesen Vorgang nennt man *löschen* (erase).
Das Löschen der Information geschieht durch UV-Licht, Röntgenstrahlen (EPROM) oder mit elektrischen Impulsen, indem der gesamte Inhalt gelöscht wird (EEROM), oder mit elektrischen Impulsen, indem selektiv die einzelnen Werte (EAROM) gelöscht werden.
Zur Anwendung kommen nur MOS-Transistoren, deren Zustand (hoch- oder niederohmig) mit einer eingestellten Schwellspannung über die Ladungsverteilung festgelegt wird. Durch Impulsspannungen werden die entsprechenden Speicherzellen programmiert, die die Informationen dann über mehrere Jahre, auch beim Abschalten der Betriebsspannung, behalten. Garantiewerte der Informationsstandzeit sind mindestens 10 Jahre.

4.3.3.1. Der mit UV-Licht löschbare Festwertspeicher (EPROM)

Als Speicherelement verwendet man MOS-Transistoren vom Anreicherungstyp (enhencement type). Das Speicherungsprinzip besteht darin, daß die Schwellwertspannung des MOS-Transistors verschoben wird. Die Wirkungsweise läßt sich an Hand der Übertragungskennlinie (Bild 4.23) erklären.
Der Drainstrom I_D ist in Abhängigkeit der Gatespannung U_{GS} dargestellt. Der MOS-Transistor vom Anreicherungstyp leitet, wenn die Gatespannung U_{GS} die Schwellwertspannung (threshold) U_T überschreitet. Dagegen leitet ein MOS-Transistor vom Verarmungstyp (deleption type), wenn die Gatespannung $U_{GS} = 0\,V$ ist. Den Strom bezeichnet man dann mit I_{DS}. U_{GS} steuert dabei den Transistor zu, bis die Gatespannung die Abschnürspannung U_P (pinch off) unterschreitet und damit der Transistor gesperrt wird. Grundsätzlich wird die Schwellwertverschiebung mit 2 Methoden realisiert.

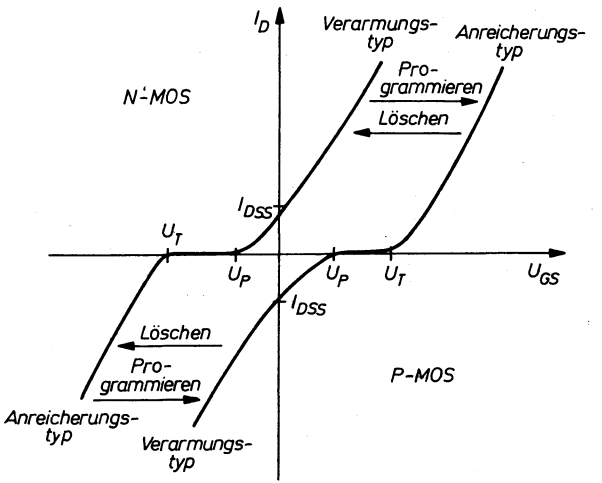


Bild 4.23 Übertragungskennlinie der MOS-Transistoren

Das 2-Transistor-FAMOS-Speicherelement in p-MOS-Technik
In dieser Technik wird z. B. der *U552* hergestellt. Bei diesem FAMOS-Speicherelement (**F**loaring Gate **A**valanche Injection **MOS**) wird bei der Programmierung der Schwellwert U_T nach U_P verschoben (s. auch Bild 4.23). Dabei entsteht aus dem Anreicherungstyp ein Verarmungstyp. Beim Lesen leitet dann der Transistor. Der Transistor hat ein »schwebendes« Siliziumgate, das in eine Isolierschicht eingebettet ist. Durch Anlegen der Adresse wird über den Schalttransistor VT2 der Speichertransistor VT1 an die bit-Leitung gelegt (Bild 4.24). Während des *Programmierens* wird der Drain-Substrat-Übergang des Speichertransistors mit einer großen Sperrspannung bis zum Avalanche-Durchbruch belastet. Es entstehen dadurch viele freie Ladungsträger, von denen einige Elektronen die Gateisolierschicht durchdringen und das Gate aufladen. Es bildet sich dabei durch Influenzwirkung ein Kanal, der Source und Drain des Speichertransistors leitend verbindet.

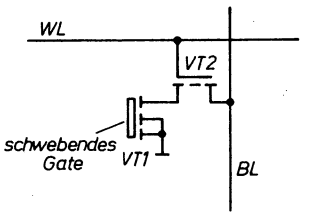


Bild 4.24
2-Transistor-Speicherelement

Beim *Lesen* wird nun der Zustand *leitend* L = programmiert bzw. *gelöscht* H = nicht programmiert über den Schalttransistor VT2 abgefragt.
Durch Bestrahlung mit UV-Licht wird die Isolierschicht ionisiert, so daß ein Elektronenstrom vom Gate zum Substrat zustande kommt und dadurch das Gate entlädt.
Das 1-Transistor-FAMOS-Speicherelement in n-MOS-Technik
In dieser Technik wird z. B. der *U555* hergestellt.

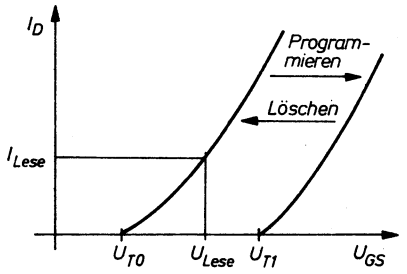


Bild 4.25
Übertragungskennlinie
eines n-MOS-Transistors

Der in n-MOS-Technik gefertigte Speicher hat eine kürzere Zugriffszeit, und man kann durch die einfachere Struktur größere Kapazitäten realisieren.
Es werden in dieser Technik energiereiche Elektronen gespeichert, so daß der Speichertransistor im programmierten wie gelöschten Zustand im Anreicherungsbetrieb (Bild 4.25) arbeitet.
Ohne angelegte Gatespannung kann der Speichertransistor niemals leiten, so daß sich der Schalttransistor VT2 einsparen läßt (Bild 4.26).
Beim *Lesen* schaltet man die Lesespannung U_L über die Wortleitung WL an ein über dem schwebenden Gate geschichtetes zweites Gate (stacked gate). Der Wert dieser Spannung muß zwischen U_{T1} und U_{T0} liegen. Im programmierten Zustand sperrt der Transistor, im unprogrammierten leitet er, und es fließt der Lesestrom I_L.

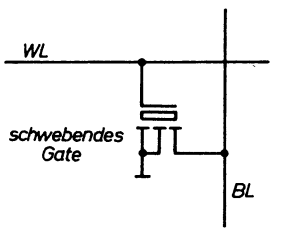


Bild 4.26
1-Transistor-Speicherlement

4.3.3.2. Der elektrisch löschbare Festwertspeicher

Die elektrisch löschbaren Festwertspeicher haben den Vorteil, daß sie im System umprogrammiert werden können und der Löschvorgang relativ kurz ist.
Man wendet in diesem Fall als Speicherelemente das 2-Transistor-FAMOS-Speicherelement in n-MOS-Technik, das SIMOS-1-Transistor-Speicherelement (**S**tacked **G**ate **I**njection **MOS**) in n-MOS-Technik und das MAOS-Speicherelement (**M**etall **A**lumina **O**xide **S**emiconductor) an.
Diese Speicherelemente befinden sich z. Z. in der Entwicklung und sollen in diesem Rahmen nicht näher behandelt werden.

4.4. Programmierbare logische Anordnungen

Die programmierbaren logischen Anordnungen stellen Speicherbausteine dar, die den Festwertspeichern artverwandt sind. Die Informationen können sowohl mit Masken bei der Fertigung als auch elektrisch beim Anwender mit entsprechenden Programmiergeräten programmiert werden.
Bei der Herstellung mit Masken heißen sie **PAL** (**P**rogrammable **A**rray **L**ogic) und im Fall des elektrischen Programmierens **FPAL** (**F**ield **P**rogrammable **A**rray **L**ogic).
Die programmierbaren logischen Anordnungen realisieren logische Funktionen an Stelle umfangreicher kombinatorischer Netzwerke [3]. Die logischen Funktionen stehen in Wahrheitstabellen, aus denen die Zuordnungen von Eingangsvariablen und Ausgangsfunktionen ersichtlich sind. Bei der Realisierung werden die Regeln der Schaltalgebra angewendet.
Der Speicherbaustein besteht aus 2 programmierbaren Matrixen, der UND-Matrix (product term array) und der ODER-Matrix (summing term array), sowie einem programmierbaren Ausgangsfeld (Bild 4.27).
PALs und ROMs haben gemeinsam, daß ihre Ausgänge UND-ODER-Verknüpfungen ihrer Eingänge sind. Dabei werden die Eingangsterme normal und invertiert an die UND-Matrix, die die

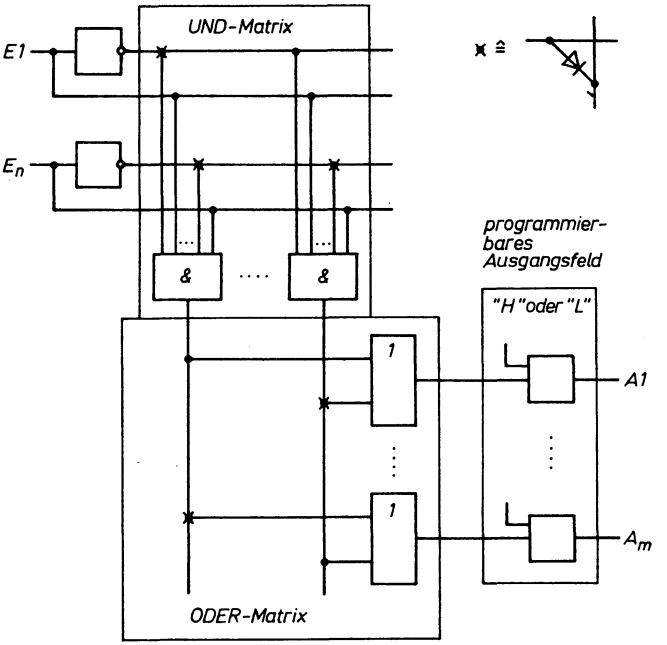


Bild 4.27 Schaltung eines PALs

konjunktiven Verknüpfungen der Eingänge realisiert, gegeben. Die ODER-Matrix verknüpft die Ausgänge (Ergebnisterme) disjunktiv mit der UND-Matrix.

Der Unterschied zwischen PAL und ROM besteht nun darin, daß beim ROM alle Eingangsterme am Ausgang eine Antwort erzwingen, denn es wird die nichtminimierte Wahrheitstabelle (disjunktive Normalform) realisiert. Beim PAL haben nicht alle Eingangsterme eine Wirkung auf den Ausgang, denn es ist die direkte Implementierung einer minimierten kombinatorischen Logik in disjunktiver Form.

Man kann auch sagen, beim PAL werden p Wörter der Länge von

m bit über eine n-bit-Adresse erreicht. Dagegen werden beim ROM mit einer n-bit-Adresse 2^n Wörter aufgerufen.

4.5. Schreib-Lese-Speicher mit seriellem Zugriff (SAM)

Die Schreib-Lese-Speicher mit seriellem Zugriff (**SAM**, **S**erial **A**ccess **M**emory), auch Schieberegister (**SR**, **S**hift **R**egister), sind Speicher, bei denen der Zugriff zur Information nur nach einer bestimmten Anzahl von zeitlichen Schritten möglich ist, die von der Lage des Speicherplatzes im Speicher abhängen. Man ruft dazu nacheinander die Speicherplätze auf, indem sie durch ein Taktsignal um jeweils eine bit-Stelle (Speicherzelle) verschoben werden, bis sich der gültige Speicherplatz an der Schreib-Lese-Logik befindet.
Beim RAM wird zu dem gewünschten Dateninhalt direkt zugegriffen, und somit ist immer die gleiche Verzögerungszeit (Zugriffszeit) vorhanden. Beim seriellen Zugriff ist dagegen die zeitliche Verzögerung von Date zu Date unterschiedlich. Deshalb spricht man auch nur von einer mittleren Zugriffszeit, die sich aus dem Quotienten der halben Anzahl der Schiebestufen und der Taktfrequenz berechnet:

$$T_{Zug} = 1/2 \cdot n \cdot 1/f_T;$$

n – Anzahl der Speicherplätze, f_T – Taktfrequenz.
Das Schieberegister ist somit ein Laufzeitspeicher mit konstanter Verzögerungszeit (Bild 4.28).

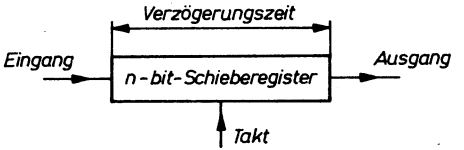
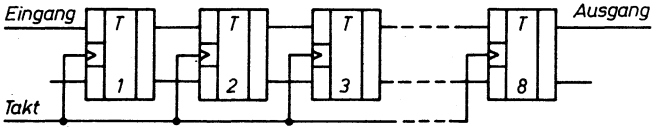


Bild 4.28 Schieberegister als Verzögerungsleitung



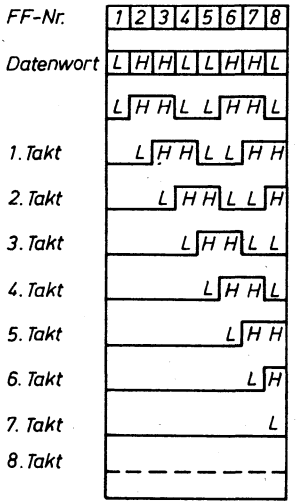


Bild 4.29
Datenfluß in einem bit-seriellen Schieberegister

Ein Schieberegister mit n bit Wortlänge kann 2^n Kombinationen speichern. Eine Wortbreite von m bit läßt sich durch Parallelschalten gleicher Schieberegister realisieren. Schieberegister mit m bit Wortlänge befinden sich auch bei einigen Produzenten im Angebot und enthalten in den meisten Fällen noch eine entsprechende Umlauflogik (recirculate logic).
Bild 4.29 zeigt das Durchschieben eines 8-bit-Datenworts durch ein bit-serielles Schieberegister. Nach dem 8. Taktimpuls ist die Date durch die hintereinandergeschalteten Flip-Flops durchgeschoben. Die Flip-Flop-Ausgänge liegen danach alle auf logisch L, und die Date ist für das Register verlorengegangen.

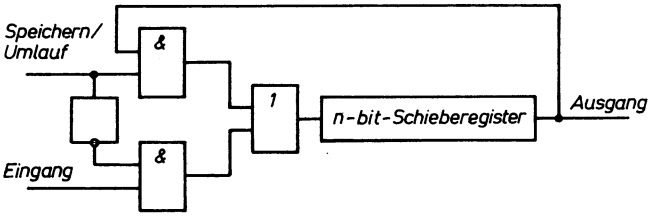


Bild 4.30 Prinzipieller Aufbau eines Umlaufschieberegisters

Fügt man dem Schieberegister noch eine Rückkopplungsschleife und eine Umlauflogik hinzu, so erhält man ein Umlaufschieberegister (Bild 4.30). In diesem Fall können die Daten beliebig lange umlaufen, dabei gelesen und neu eingeschrieben werden. Durch die Steuerlogik kann man den Eingang des Registers entweder mit der Rückkopplungsleitung kurzschließen oder auf die Datenleitung schalten.
Die Schieberegister werden in bipolarer und MOS-Technik realisiert und sind als statische und dynamische Schieberegister erhältlich.

4.5.1. Statische Schieberegister

Die statischen Schieberegister bestehen aus selbsthaltenden Speicherzellen (Flip-Flops). Sie benötigen nur ein externes Taktsignal, das man auch anhalten kann (vgl. *D191*). Zur Speicherung eines bits werden 2 Flip-Flops benötigt, da ein Flip-Flop zu einer gespeicherten Information nicht gleichzeitig eine weitere übernehmen kann. Die bisher gespeicherte Information wird dazu erst in das nachfolgende Flip-Flop geschoben. Der Taktimpuls liegt dabei an allen parallelgeschalteten Takteingängen der Flip-Flops an (Bild 4.31). Die Vorbereitungseingänge sind mit den benachbarten Ausgängen Q und /Q verbunden. Bei jedem Taktimpuls wird somit der Zustand des vorherigen Master-Slave-Flip-Flops (Speicherzelle) übernommen. Mit der ansteigenden Flanke des Taktimpulses übernimmt das Flip-Flop F_n das Daten-

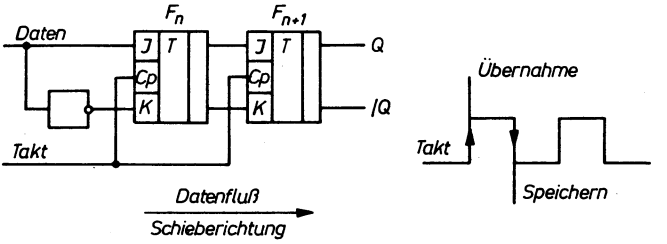


Bild 4.31 Speicherzelle eines statischen Schieberegisters

bit in sein Master-FF und das Flip-Flop F_{n+1} das Daten-bit (Schaltzustand) vom Ausgang des Flip-Flops F_n. Mit der abfallenden Flanke wird das jeweils neu übernommene Daten-bit im Slave-FF der Flip-Flop F_n und F_{n+1} übernommen. Somit wurde das Daten-bit des Flip-Flops F_n in das Flip-Flop F_{n+1} geschoben.
Bei statischen Schieberegistern in MOS-Technik werden die Master-Slave-Flip-Flops mit MOS-Transistoren aufgebaut. Dabei sind aber 2 Taktsignale erforderlich, die entsprechend den Herstellerangaben in einer genau definierten Zuordnung zueinander stehen müssen.

4.5.2. Dynamische Schieberegister

Ähnlich dem dynamischen RAM wird die Information in den dynamischen Schieberegistern in der Gate-Source-Kapazität der MOS-Transistoren gespeichert (Bild 4.32).
Dabei bildet VT2 die Master-Funktion und VT5 die Slave-Funktion. Durch den bilateralen Stromfluß kann die Ladung *C5* über VT2 ent- und aufgeladen werden. Dabei werden VT1, VT4 und VT6 vom Taktimpuls gesteuert, und die gespeicherte Ladung wird durch das Register geschoben. Die Gate-Source-Kapazität verliert aber ihre Ladung mit der Zeit, so daß das Taktsignal eine Mindestfrequenz haben muß.
Während des Taktes $\Phi 1$ wird das Daten-bit über VT1 in den Master (C2) der Speicherzelle geschrieben und die bisherige Information am Ausgang herausgeschoben. Dabei wird der Last-

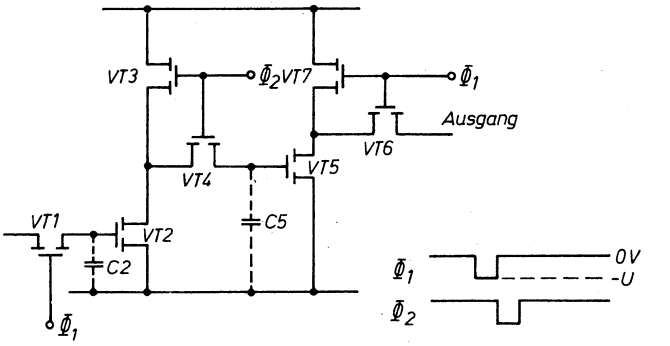


Bild 4.32 Dynamische 2-Phasen-Speicherzelle

transistor VT7 dynamisch gesteuert.
Das Taktsignal $\Phi 2$ schiebt die in der Gate-Source-Kapazität des Transistors VT2 gespeicherte Information (leitend oder gesperrt) über Transistor VT4 zu VT5. Der Lasttransistor VT3 wird dabei dynamisch gesteuert.
Ein typischer Vertreter eines 4-Phasen-Schieberegisters ist der *U352*. Bild 4.33 zeigt den prinzipiellen Aufbau der 4-Phasen-Speicherzelle.

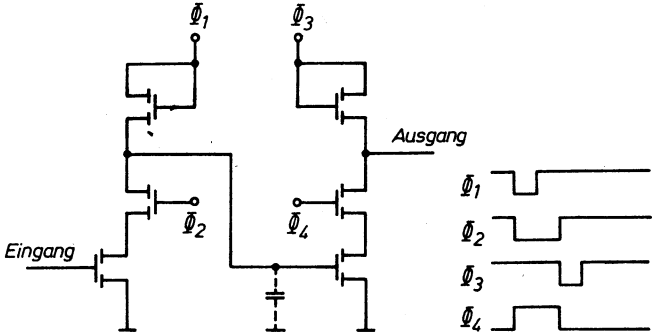


Bild 4.33 Dynamische 4-Phasen-Speicherzelle

4.6. Sonderformen von Halbleiterspeichern

In diesem Abschnitt sollen noch einige Sonderformen der Halbleiterspeicher dargestellt werden. Obwohl diese Speicher für bestimmte Anwendungen sehr interessant sind, haben sie nicht die Verbreitung wie die Schreib-Lese-Speicher und Festwertspeicher mit wahlfreiem Zugriff gefunden.

4.6.1. Assoziativspeicher (CAM)

Bei dem **Assoziativspeicher** (**CAM**, **C**ontent **A**dressable **M**emory) werden mit Suchkriterien Daten im Speicher, unabhängig von ihrem Speicherplatz, gesucht. Dazu wird das Suchwort (Deskriptor) mit allen Worten des Speichers bit-weise verglichen. Sind das Suchwort und das Wort im Speicher gleich, so wird eine Trefferanzeige (Match-Signal) angezeigt. Bei mehrfachem Vorhandensein des Wortes kommt es zur entsprechenden Anzahl der Trefferanzeigen. Durch eine Maskierung können die nichtnotwendigen bits des Deskriptors während des Suchvorgangs ausgeblendet werden. Der Assoziativspeicher gibt bei der Trefferanzeige die Adresse aus, bei der Dateninhalt abgelegt ist.

4.6.2. Silospeicher (FIFO)

Der *Silospeicher* (**FIFO**, **F**irst **I**n **F**irst **O**ut) ist ein serieller Speicher, bei dem die Daten in derselben Reihenfolge ausgegeben werden, wie sie eingeschrieben wurden. Die Funktion ist mit der eines Futtersilos vergleichbar. Oben wird das Futter eingefüllt und unten am Auslaß entnommen.
Der Unterschied zum Schieberegister ist, daß die Daten ohne externe Taktsignale bis zum letzten freien Platz vor dem Ausgang »sinken«. Durch eine Steuerlogik werden die schon belegten Schieberegister (Speicherplätze) markiert, und sie erzeugt intern so viele Taktimpulse, bis die Daten aufgeschlossen sind (Bild 4.34).

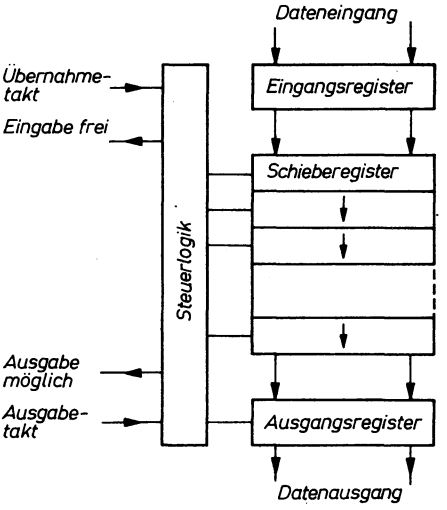


Bild 4.34
Prinzip
eines Silospeichers

4.6.3. Stapelspeicher (LIFO)

Im Gegensatz zum Silospeicher verlassen die Daten den Stapelspeicher (**LIFO, L**ast **I**n **F**irst **O**ut) in inverser Reihenfolge (Bild 4.35).

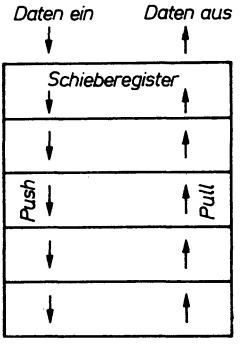


Bild 4.35
Prinzip eines Stapelspeichers

Während des Einschreibvorgangs (Push) sinken die Daten bis zum letzten leeren Speicherplatz. Beim Lesen (Pull) werden die Daten vom Boden zum Datenausgang angehoben. So wie beim Silospeicher übernimmt auch hier eine Steuerlogik diese Aufgaben, ohne daß ein externer Takt angelegt werden muß. Anwendungsgebiet dieser als *Stack-Register* bezeichneten Speicher sind Zwischenspeicher im Taschenrechner. Man benutzt sie auch als Adreßspeicher für Unterprogramme in Mikroprozessoren.

4.7. Ausgabeschaltungen der Speicherbausteine

In Speichersystemen werden die einzelnen Speicherbausteine über BUS-Leitungen zusammengeschaltet [4]. Diese Datenleitungen werden auch als *Datenbus* bezeichnet.
Die Datenausgänge können aus den Speicher getrennt oder über ein Ein-/Ausgabe-Register auf den BUS geführt werden.
Zum Aufschalten auf den BUS verwendet man:
- Datenausgänge mit offenem Kollektor,
- Datenausgänge mit 3 Ausgangszuständen (Tristate).

Die Zusammenschaltung der Speicherausgänge auf den gemeinsamen BUS bezeichnet man als *verdrahtete ODER-Schaltung* (wired OR). Um diese Zusammenschaltung zu realisieren, ist entweder ein offener Kollektorausgang oder ein Tristate-Ausgang notwendig. Für eine wired OR-Schaltung gilt, daß für jede

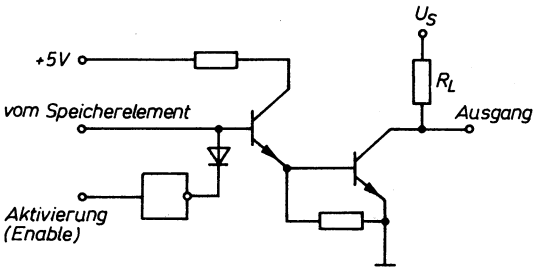


Bild 4.36 Ausgang mit offenem Kollektor

bit-Stelle immer nur ein Element aktiv sein darf, das die Information auf dem BUS bestimmt. Bild 4.36 zeigt den Datenausgang mit offenem Kollektor. In diesem Fall ist ein externer Widerstand (Pull-up-Widerstand) erforderlich, um ein H-Potential zu erzeugen. Die Dimensionierung dieses Widerstands richtet sich nach der Anzahl der angeschlossenen Eingänge (fan out). Der Mindestwert errechnet sich aus der maximalen Belastung des Ausgangstransistors (Stromsenke) und dem Maximalwert aus der Belastung bei gesperrtem Ausgangstransistor über die nachgeschaltete Last.
Die Berechnung des Pull-up-Widerstands geschieht nach folgender Formel [5]:

$$R_{L(max)} = \frac{U_S - U_{0(H)}}{k \cdot I_{0(H)} - n \cdot I_{I(H)}},$$

$$R_{L(min)} = \frac{U_S - U_{0(L)}}{I_{0(L)} - n \cdot I_{I(L)}};$$

R_L – Wert des Pull-up-Widerstands, n – Anzahl der Lasteinheiten (getriebene Eingänge), k – Anzahl der zusammengeschalteten Ausgänge (verdrahtetes ODER), $I_{0(L)}$ – maximaler Ausgangsstrom im »L«-Zustand (maximaler Strom, der in den Ausgang hineinfließen darf), $I_{0(H)}$ – Kollektorreststrom des gesperrten Ausgangstransistors im »H«-Zustand, $U_{0(L)}$ – obere Spannungsgrenze des »L«-Zustands, $U_{0(H)}$ – untere Spannungsgrenze des »H«-Zustands, $I_{I(L)}$ – maximaler Eingangsstrom an der oberen Grenze des »L«-Zustands (bei TTL; 0,4 V), $I_{I(H)}$ – maximaler Eingangsstrom an der unteren Grenze des »H«-Zustands (bei TTL; 2,4 V), U_S – Spannung an den Pull-up-Widerstand.
Die Werte $I_{0(L)}$ und $I_{0(H)}$ werden aus dem Datenblatt des jeweils treibenden Schaltkreises entnommen. Die Werte $I_{I(H)}$ und $I_{I(L)}$ sind für Standard-TTL 40 μA bzw. 1,6 mA und für Low-power-TTL 10 μA bzw. 0,16 mA.
Zur Auswahl des Pull-up-Widerstands gibt es noch weitere Kriterien als die bisher gezeigten. Ein Widerstandswert in der Nähe von $R_{L(min)}$ führt zwar zu kurzen Schaltzeiten, wobei jedoch der

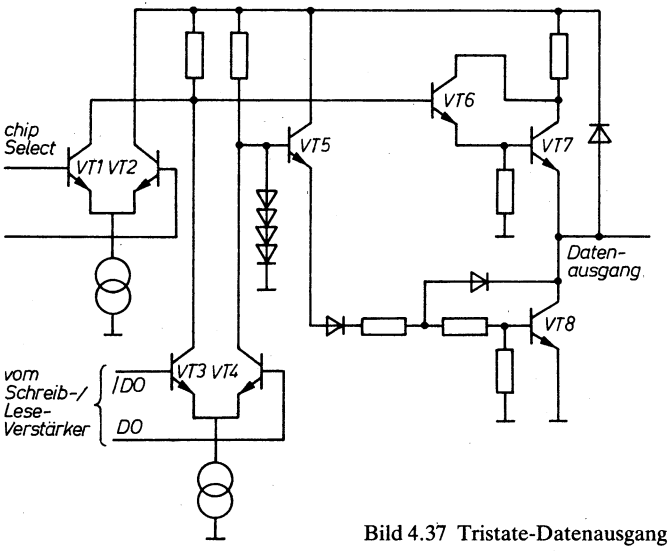


Bild 4.37 Tristate-Datenausgang

Leistungsverbrauch beträchtlich erhöht wird. Bei der Dimensionierung muß somit auch das Leistungs-/Geschwindigkeits-Verhältnis beachtet werden.

Beim Tristate-Ausgang (Bild 4.37) gibt es 3 Möglichkeiten:

- niedriges Potential,
- hohes Potential,
- gesperrt.

Im gesperrten Zustand belastet der Ausgang den angeschlossenen bidirektionalen Datenbus nicht.

Der Tristate-Datenausgang hat gegenüber dem Ausgang mit offenem Kollektor nicht nur den Vorteil, daß keine Pull-up-Widerstände benötigt werden, sondern durch den niedrigen Widerstand der Treiberstufen ergibt sich bei kapazitiver Belastung der Ausgänge eine höhere Impulsanstiegsgeschwindigkeit und somit eine höhere Verarbeitungsgeschwindigkeit.

Bei der Datenausgabe wird die *Darlington*-Stufe VT6, VT7 über die

Schaltstufe VT1, VT2 durchgesteuert. Sie verbindet den Datenausgang mit dem internen Lastwiderstand, der auf diese Weise eine Pull-up-Funktion erfüllt. Entsprechend den Daten am Leseverstärker steuert die Schaltstufe VT3 bis VT5 den Ausgangstransistor VT8 so, daß der Datenausgang höheres oder niedrigeres Potential führt. Bei inaktivem Baustein ist der Datenausgang hochohmig, die Transistoren VT6 bis VT8 sind über die Schaltstufen VT1 und VT2 bzw. VT3 und VT4 gesperrt.

5. Speichersysteme

Es werden der Aufbau von Speichersystemen aus einzelnen Speicherbausteinen und der Einsatz der Halbleiterspeicher im Mikroprozessorsystem beschrieben.

5.1. Kapazitätserweiterung

Die Kapazitätserweiterung eines Speichersystems kann in 2 Richtungen durchgeführt werden:
- bit-Richtung, wobei die Anzahl der bits für jedes Wort vergrößert wird;
- Wortrichtung, wobei die Anzahl der adressierbaren Wörter vergrößert wird.

Bei der Kapazitätserweiterung eines Speichersystems in *bit-Richtung* ergibt sich die Anzahl der benötigten Speicherbausteine aus dem Quotienten der Kapazität des Systems und des Speicherbausteins.
Bild 5.1 zeigt ein Speichersystem für 1-k-Worte mit einer Wortlänge von 16 bit. Dafür kann man z. B. den Speicherbaustein *U 214* verwenden.
Die Adreßleitungen der 4 Speicherbausteine werden dazu über den *Adreßbus* parallel zusammengeschaltet. Bei einem Speicherbaustein, der 1-k-Worte speichern kann, besteht die Adresse aus 10 bit ($2^{10} = 1024$). Die Datenein- und Datenausgänge des Speichersystems werden über den *Datenbus* auf die Eingänge bzw. Ausgänge der Speicherbausteine geführt. Werden z. B. Speicherbausteine mit bidirektionalen Datenein- und Datenausgängen verwendet, so ist für den Ein- und Ausgang nur eine Leitung je bit erforderlich. Die meisten modernen Speicher haben einen bidirektionalen Datenbus. Es soll jedoch hier aus Gründen der Verständlichkeit mit einem getrennten Dateneingangs- und Datenausgangsbus gearbeitet werden.

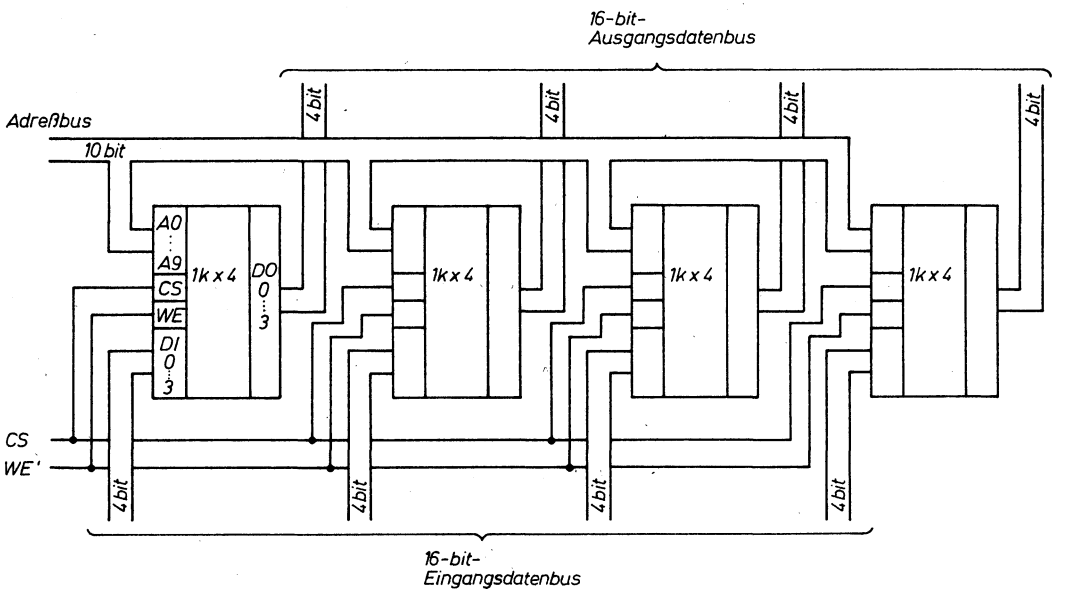


Bild 5.1 Aufbau eines Speichersystems 1 k × 16 bit aus 1 k × 4 bit-Speicherbausteinen

Das Systemwort (Datenwort) ist 16 bit lang und wird jeweils 4-bit-weise im 1. bis zum 4. Speicherbaustein abgespeichert. Da zum Zeitpunkt t ein vollständiges Wort (16 bit) gelesen oder geschrieben wird, müssen alle Schreib-Lese-Befehle WE zu einem Befehl zusammengefaßt werden. Das gleiche gilt auch für den Steuerbefehl ME bzw. CS zur Bausteinabschaltung, da zur Zeit t immer alle Speicherbausteine ein- oder ausgeschaltet sind. Auch bei der Kapazitätserweiterung eines Speichersystems in *Wortrichtung* ergibt sich die Anzahl der benötigten Speicherbausteine aus dem Quotienten der Kapazität des Systems und des Speicherbausteins.

Bild 5.2 zeigt die Speichererweiterung für ein System mit 4-k-Worten zu je 4 bit, das mit den gleichen Speicherbausteinen entsprechend Bild 5.1 aufgebaut sein soll.

Erhöht man nun die Worte von 1 k auf 4 k, so benötigt man dazu 4 einzelne Speicherbausteine. Es werden dann jeweils die 9 Adreßeingänge, die 4 Datenausgänge, die 4 Dateneingänge und der Schreib-Lese-Befehl WE zusammengeschaltet. Zum Schreiben bzw. Lesen wird einer der 4 Speicherbausteine über den Steuerbefehl CS oder ME eingeschaltet, wobei alle anderen gleichzeitig ausgeschaltet sind. Zur Verriegelung der Steuerleitungen CS1 bis CS4 wird ein 1-aus-4-CS-Dekoder eingesetzt, so daß nur noch 2 Steuerleitungen benötigt werden. Diese Leitungen werden im Speichersystem dem höherwertigen Teil der Gesamtadresse zugeordnet. Bei einem notwendigen Abschalten des gesamten Speichersystems sperrt man mit einem Befehl CS' den Dekoder, und es besteht keine Zugriffsmöglichkeit zu den 4 Speicherbausteinen mehr.

Soll nun ein Speichersystem mit einer vorgegebenen Wortlänge und Wortbreite aufgebaut werden, so muß man die Kapazitätserweiterung in *Wort- und bit-Richtung* durchführen. Dazu werden beide Verfahren gleichzeitig angewendet. Bild 5.3 zeigt den grundsätzlichen Aufbau eines solchen Systems.

Am Beispiel eines 4-kByte-Speichersystems für einen Mikroprozessor wird die Berechnung der Kapazitätserweiterung durchgeführt (Bild 5.4).

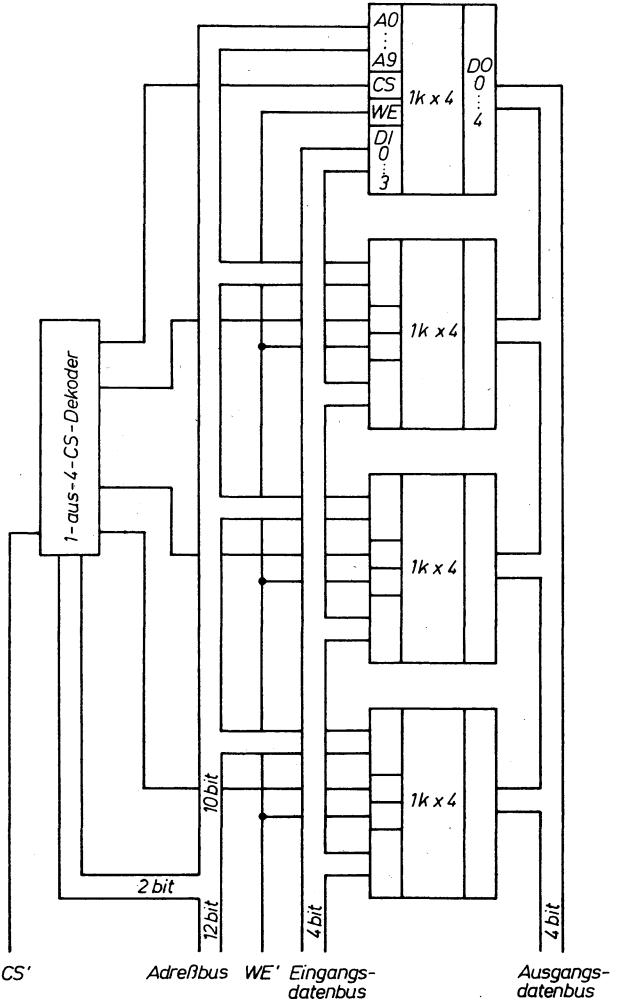


Bild 5.2 Aufbau eines Speichersystems 4k × 4 bit aus 1 k × 4 bit-Speicherbausteinen

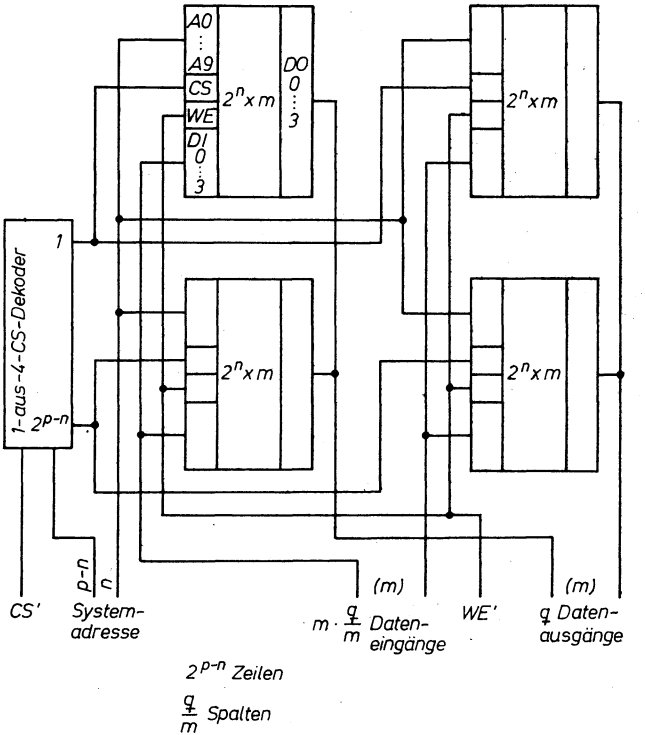
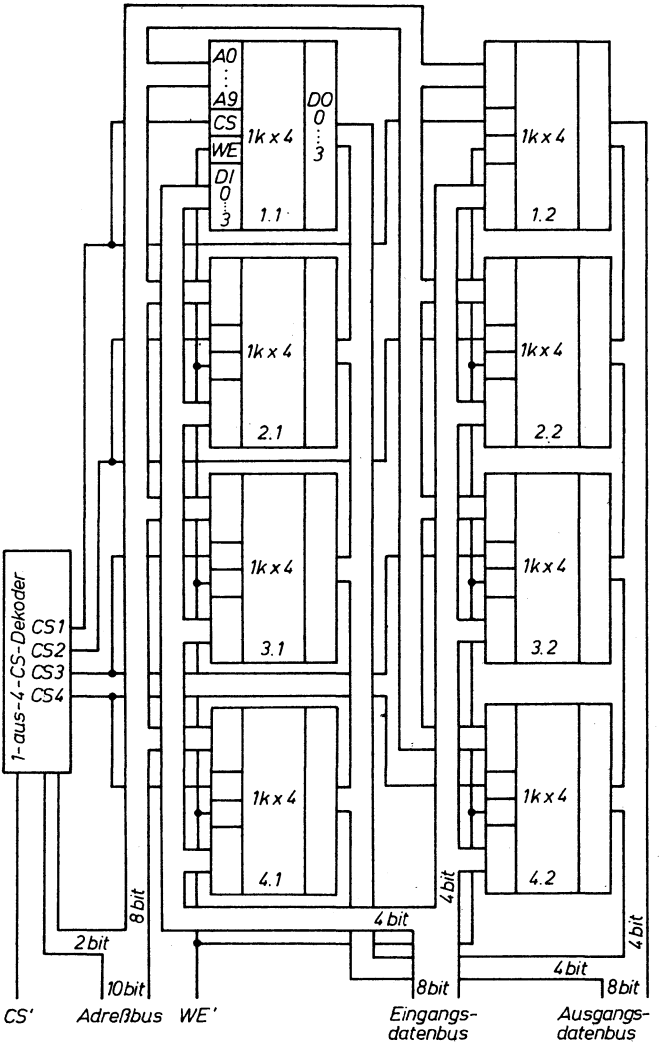


Bild 5.3 Kapazitätserweiterung in bit- und Wortrichtung


A0
A9
CS
WE
DI 0 3
1k x 4
DO 0 3
1.1
1.2
2.1
2.2
3.1
3.2
4.1
4.2
1-aus-4-CS-Dekoder
CS1
CS2
CS3
CS4
8bit
2bit
10bit
4bit
4bit
4bit
4bit
8bit
8bit
CS'
Adreßbus
WE'
Eingangs-
datenbus
Ausgangs-
datenbus

Die Kapazität eines Speicherbausteines ist $2^n \times m$ bit. Dabei ist 2^n die Anzahl der Wörter und m die Wortlänge. Das Speichersystem, das aus mehreren Speicherbausteinen der Kapazität 1 k × 4 bit aufgebaut ist, hat die Kapazität $2^p \times q$ bit. Dabei ist 2^p die Anzahl der Wörter im System und q die Wortlänge.
Bei 1 k × 4 bit gilt:

$$2^n = 1024; \quad n = 10; \quad m = 4.$$

Die Anzahl der für das System benötigten Speicherbausteine ergibt sich aus dem Quotienten aus der Kapazität $2^p \times q$ bit des Speichersystems und der Kapazität $2^n \times m$ bit des einzelnen Speicherbausteins;

$$\frac{2^p \times q}{2^n \times m} = 2^{p-n} \times \frac{q}{m}.$$

Die Speicherbausteine sind zeilen- und spaltenweise zweidimensional angeordnet. Die Anzahl der Zeilen errechnet sich aus der Division der Anzahl 2^p der Systemwörter und der des Speicherbausteines 2^n zu 2^{p-n}. Die Anzahl der Spalten ergibt sich aus der Division der Anzahl q der bits je Systemwort und der des Bausteins m zu q/m.
Um die verfügbare Speicherkapazität der Speicherbausteine voll auszunutzen, ist es sinnvoll, p ein Vielfaches von n und q ein Vielfaches von m zu wählen.
Für das Speichersystem von 4 kByte = 4 k × 8 bit ergibt sich mit:

$$n = 10 \quad m = 4 \quad p = 12 \quad q = 8,$$

$$2^{p-n} \times \frac{q}{m} = 2^{12-10} \times \frac{8}{4},$$

$$= 2^2 \times 2,$$

$$= \underset{\text{Zeilen}}{4} \times \underset{\text{Spalten}}{2}$$

Bild 5.4 Aufbau eines Speichersystems 4 k × 8 bit aus 1 k × 4 bit-Speicherbausteinen

Die Speicherbausteine sind in 4 Zeilen und 2 Spalten anzuordnen. Die 10 Adreßleitungen aller Speicherbausteine werden zusammengeschaltet (Adreßbus). Die 4 Befehlsleitungen CS1 bis CS4 der 4 Zeilen werden von einem 1-aus-4-CS-Dekoder gesteuert. Dazu sind 2 Adreßleitungen notwendig. Die Gesamtadresse besteht somit aus 12 bit (Leitungen). Das Systemdatenwort ergibt sich aus der spaltenweisen Zusammenschaltung der Datenein- und Datenausgänge und ist 8 bit lang. Der Steuerbefehl WE der Speicherbausteine wird zu dem Systemsteuerbefehl WE' zusammengefaßt. Und schließlich bewirkt noch der Steuerbefehl CS' das gleichzeitige Abschalten aller 8 Speicherbausteine im System.

Beim Aufbau von Speichersystemen müssen die Bedingungen der Zusammenschaltung der Bausteine beachtet werden. Einerseits sind z. B. viele Eingänge wie Adreß-, Daten- oder Steuerleitungen parallelgeschaltet, die von einem Baustein angesteuert werden. Andererseits müssen die Datenausgänge der Speicherbausteine auch andere Bausteine ansteuern. Wenn man diese zusammenschaltet, muß man die Belastung der Ein- und Ausgänge beachten.

So kann z. B. in der TTL-Technik der größte Teil der Verknüpfungsglieder 10 Eingänge (TTL-Lasten) ansteuern. Die Schaltung (der IS enthält in der Regel mehrere Gatter o. ä.) hat somit ein *Fan out* (Lasteinheit) von 10. Überschreitet man das Fan out, so muß man spezielle integrierte oder diskret aufgebaute Treiber zur Steuerung verwenden.

Man kann auch das Fan out durch kaskadenförmiges Erweitern mit Gattern erhöhen (Bild 5.5). Dieses Erweitern hat den Nachteil, daß Laufzeiten durch die Verknüpfungsschaltungen entstehen, die die Arbeitsgeschwindigkeit des Speichersystems herabsetzen.

Des weiteren muß beachtet werden, daß das Fan out eines Speicherbausteins in der Regel eine TTL-Last ist und somit nur eine TTL-Verknüpfung ansteuern kann. Bei Speicherbausteinen, die nicht TTL-kompatibel sind, müssen die entsprechenden Pegelwandler vor- und nachgeschaltet werden.

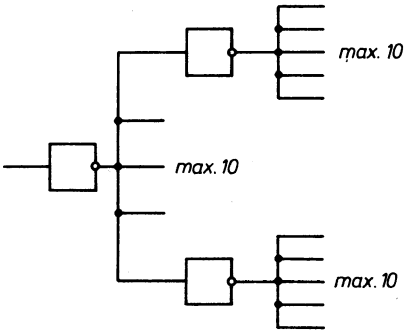


Bild 5.5
Erweiterung zur
Erhöhung des Fan out

5.2. Speicher im Mikroprozessorsystem

Durch die Fortschritte in der Halbleitertechnologie und den Schaltungstechniken logischer Bausteine ist man gegenwärtig in der Lage, komplette Zentraleinheiten ähnlich denen von Großcomputern in Form von Mikroprozessoren herzustellen. Diese zentrale Verarbeitungs-Einheit (ZVE, CPU) läßt sich durch Zusammenschaltung mit Speicher- und Interfacebausteinen zu einem Mikrocomputer bzw. Minicomputer mit beträchtlichen Leistungsfähigkeiten ausbauen. Durch die Mikroprozessorsysteme lassen sich dadurch viele Probleme mit der Rechentechnik lösen, bei denen es bisher aus Kosten- und/oder Raumgründen nicht möglich war.
Ein Mikroprozessor enthält auf seinem Chip im allgemeinen folgende Funktionsgruppen [6]:

- das *Rechenwerk* (**ALU, A**rithmetic and **L**ogic **U**nit), das logische und arithmetische Verknüpfungen ausführt;
- *adressierbare Datenregister* in Form von RAMs kleiner Kapazität, in denen die zu verarbeitenden Daten und Instruktionen abgelegt werden;
- ein *Steuerwerk* (Control Unit), das die Instruktionen über eine Dekodierlogik (ROM/PLA) zur Steuerung des Rechenwerks aufbereitet;

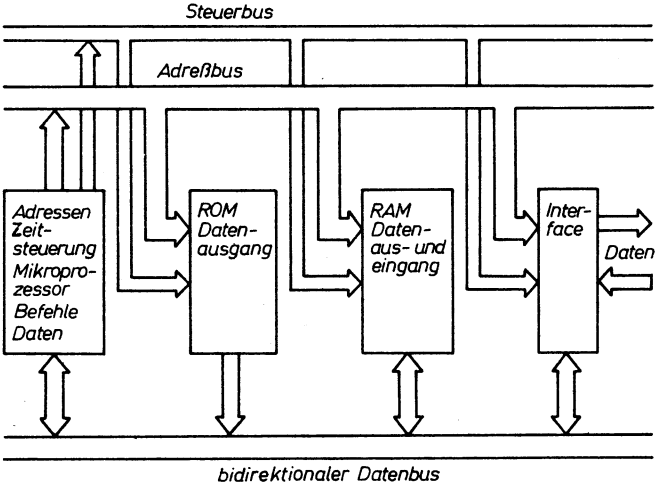


Bild 5.6 Minimalkonfiguration eines Mikrorechnersystems

– einen *Befehlszähler*, der die Adressen der aufeinanderfolgenden Instruktionen bereitstellt und speichert.

Um aber ein arbeitsfähiges System aufzubauen, sind mindestens noch 1 Festwertspeicher mit wahlfreiem Zugriff zum Speichern des Betriebsprogramms und 1 Schreib-Lese-Speicher zur Speicherung von Daten sowie 1 Interface erforderlich. Diese Zusammenschaltung der Baugruppen stellt die Minimalkonfiguration (Bild 5.6) eines arbeitsfähigen Mikrorechnersystems dar und ist heute auch schon als Ein-Chip-Mikrorechner erhältlich.

Die Speicher sind mit dem Mikroprozessor über den *Adreßbus* (Adreßsammelschiene) und den *Datenbus* (Datensammelschiene) verbunden. Die Befehle zur Bausteinaktivierung (CE, CS u. ä.), Schreiben oder Lesen (WE) und alle anderen Taktsignale erhält der Speicherbaustein über den *Steuerbus*. Das *Interface* ist schließlich die vom Mikroprozessor gesteuerte Schnittstelle zur Außenwelt.

Die meisten verwendeten Mikroprozessorsysteme haben eine Wortlänge von 8 bit. Die Wortlänge ist dabei die gleiche wie die des Akkumulators der CPU, über den der gesamte Datenverkehr abläuft. Somit werden auch alle Daten in der Wortlänge des Akkumulators gespeichert. Die gespeicherten Daten (ROM/ RAM) werden innerhalb eines Programmablaufs über den *Datenbus* abgerufen. Jedem Datenwort ist dazu eine Adresse zugeordnet, die über den Adreßbus zum Speicher gesendet wird. Die Anzahl der Adreß-bits muß dabei nicht die Wortlänge der Daten haben. Es ist üblich, 8-bit-Mikroprozessoren mit einem 16-bit-Adreßbus aufzubauen. Das hat den Vorteil, daß sich eine Adresse aus 2 Datenworten (L- und H-Teil) zusammensetzen läßt. Über einen 16-bit-Adreßbus läßt sich ein Speicherbereich von 64 k (65 536 × 8 bit) ansprechen. Die Speicherkapazität kann dabei beliebig auf Festwertspeicher und Schreib-Lese-Speicher verteilt werden (Bild 5.7).

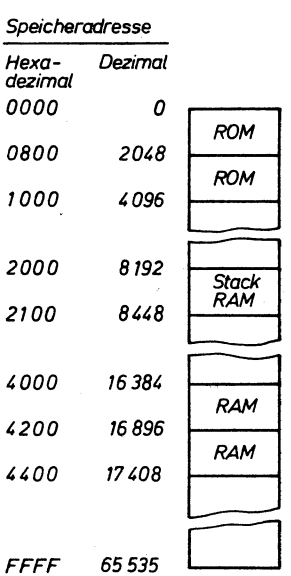


Bild 5.7
Speicherbelegung eines Mikrorechnersystems

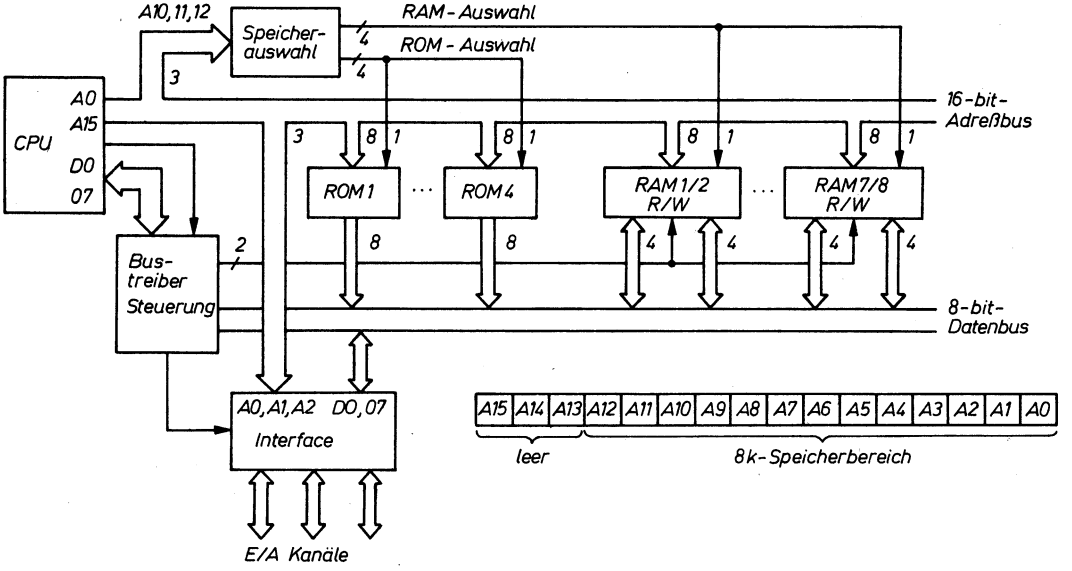


Bild 5.8 Speicherkonfiguration eines Mikrorechnersystems

Da die Kapazität der einzelnen Speicherbausteine wesentlich geringer ist, müssen mehrere zusammengeschaltet werden (s. Abschn. 5.1.). Dabei sollte man wortorganisierte Speicherbausteine vorziehen, weil sie sich einfacher erweitern lassen. Alle ROMs sind wortorganisiert; RAMs sind wort- und bit-organisiert. Das Bild 5.8 zeigt den Aufbau einer möglichen Speicherkonfiguration in einem Mikrorechnersystem unter Verwendung von 4 ROMs, 8 RAMs und 1 Interfacebaustein.
Von den 16 Adreß-bits sind die 8 niederwertigen bits A0 bis A7 und die bits A8 und A9 des höherwertigen Adreßteils an die Adreßeingänge der ROMs und RAMs geführt. Die Datenausgänge sind auf den Datenbus geschaltet, wobei man die RAMs mit ihren 4-bit-Ausgängen paarweise zusammenfaßt. Die Speicherbausteine haben Speicherfreigabeeingänge CS, über die sie aktiviert werden. Dazu wird eine Adreßdekodierung der bits A10, A11 und A12 durchgeführt. Diese Adreß-bits werden einem 3-aus-8-Dekoder zugeführt, der die 8 erforderlichen Speicherfreigabesignale generiert.
Mit diesem Aufbau läßt sich ein Speicherbereich von 8k (8192 Worten) adressieren.
Weiterhin sind die Adreß-bits A0, A1 und A2 auf das Interface geschaltet, wodurch die E/A-Kanalauswahl und die Aktivierung dieses Bausteins möglich sind.
Des weiteren erhalten die RAMs über eine Leitung des Steuerbus noch ein Signal, ob die Daten ausgelesen oder eingeschrieben werden sollen.
Soll ein Speicher für mehr als 64-k-Worte aufgebaut werden, muß man weitere Speicherfreigabesignale erzeugen. Dazu kann man z.B. eine Adresse (Konstante) über den Datenbus senden, die zwischengespeichert wird und Speicherblöcke selektiert. Innerhalb des selektierten Speicherblocks geschieht dann die direkte Adressierung des Speicherplatzes.

6. Anwendungsbeispiele von Halbleiterspeichern

Es werden eine Reihe von Anwendungsbeispielen gezeigt, wobei weitgehend auf Schaltungsdetails verzichtet wird, um Anregungen zum eigenen Entwurf von Schaltungen zu geben. So ist der Einsatz von Schreib-Lese-Speichern nicht nur auf die Datenspeicherung in Rechnersystemen begrenzt, sondern reicht von digitalen Verzögerungsleitungen, Speichermorsetasten, Musikinstrumenten [9] bis hin zur Telefonnummernspeicherung.
Sehr vielfältig lassen sich auch die Festwertspeicher (ROM) in ihren unterschiedlichen Ausführungen einsetzen. Häufig benutzt man sie aber zur Speicherung von Tabellen und Konstanten, als Kodeumsetzer und Zeichengeneratoren oder zur Nachbildung von digitalen Netzwerken und Steuerungen. Es läßt sich im Prinzip jedes digitale System durch ein im allgemeinen sehr umfangreiches Netzwerk darstellen, das man durch Festwertspeicher an Stelle der verdrahteten Gatterlogik realisieren kann.

6.1. Telefonnummernspeicher

Die Telefonnummern werden in einen Schreib-Lese-Speicher (RAM) eingeschrieben und über eine 7-Segment-Anzeige sichtbar gemacht [8].
Da jede Telefonnummer maximal 10 unterschiedliche Werte annehmen kann, benötigt man eine Speicherbreite (Wortbreite) von 4 bit. Man verwendet einen Speicher von 16 × 4 bit (z. B. *MH 7489*). Dieser Speicher reicht aus, da keine Telefonnummer mehr als 16 Stellen hat.
Der Impuls für jede Ziffer besteht aus »H«-Folgen im Abstand von 100 ms mit einem Impuls-/Pausen-Verhältnis von 60 ms/40 ms. Zwischen den Ziffern der Telefonnummer liegt jeweils eine Pausenzeit von mindestens 200 ms (Bild 6.1). Bild 6.2 zeigt den Aufbau eines Telefonnummernspeichers mit Ziffernanzeige.

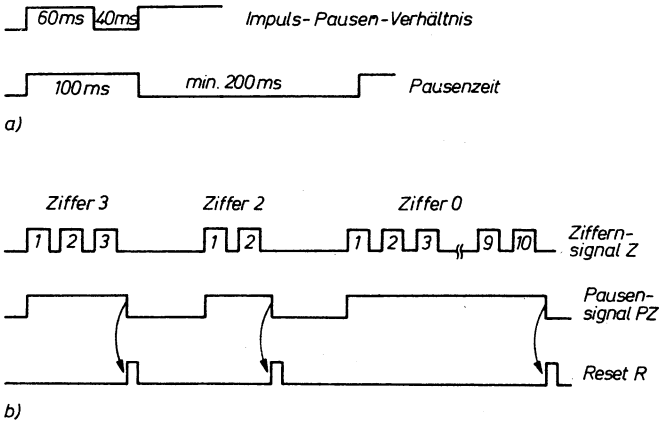


Bild 6.1 Impulsfolge bei einer Rufnummernwahl; a – Impuls-/Pausen-Verhältnis, b – Wahl der Ziffern 320

Nach dem Einschalten werden alle Zähler auf 0 zurückgesetzt. Über das Tastenfeld und den Tastendekoder gelangt der Nummernimpuls auf den Eingang IN des Telefonnummernspeichers. Der Tastendekoder generiert die Wählnummernimpulsfolge. Er könnte auch so aufgebaut sein, daß er das Wählsignal einer Wählscheibe in die entsprechende Wählimpulsfolge für den Telefonnummernspeicher umsetzt. Das enthält auch die Pegelanpassung.

Die Impulsfolge der 1. Ziffer wird vom Ziffernzähler (Z2) gezählt und über die Dateneingänge DI0 bis DI3 in den Speicher eingelesen. Nach dem Ende der gewählten Ziffer schaltet der Stellenzähler (Z3), der die Anzahl der gewählten Ziffern speichert, um eins weiter. Den Taktimpuls bekommt er von der Steuerlogik (ST), die das Pausensignal auswertet und den Taktimpuls generiert. Gleichzeitig werden mit dem Adreßzähler (Z1), der von einem Taktgenerator (etwa 2kHz) angesteuert wird, alle Adressen des Speichers nacheinander angesprochen. Durch einen 4-bit-Komparator wird das Einschreibesignal WE gebil-

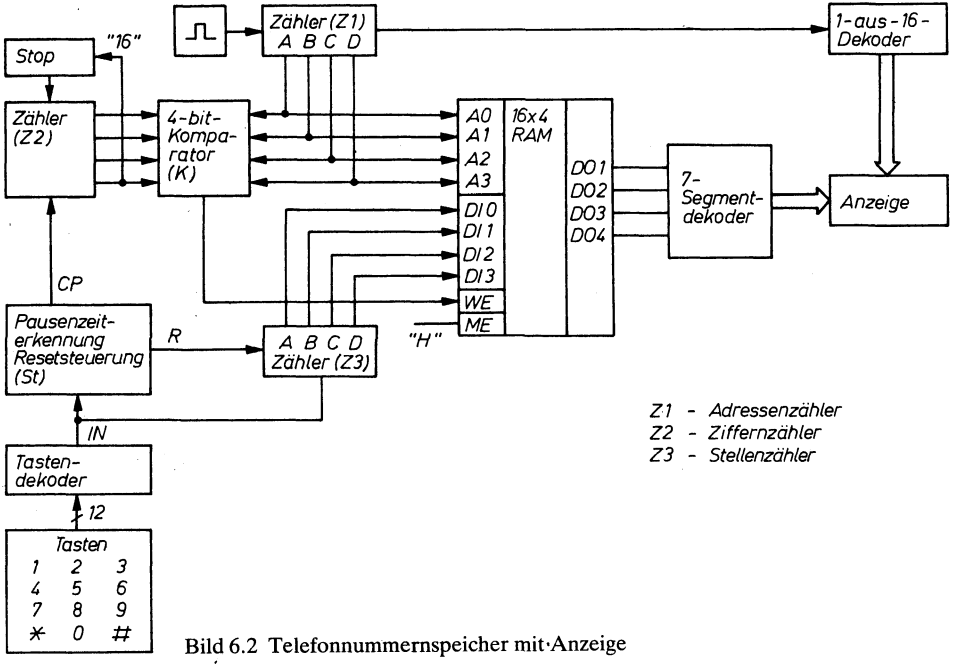


Bild 6.2 Telefonnummernspeicher mit Anzeige

det. Dazu vergleicht der Komparator die augenblickliche Adresse des RAMs mit dem Wert des Stellenzählers (Z 3). Sind beide gleich, wird der Einschreibebefehl gegeben und das Datenwort vom Ziffernzähler (Z 2) eingeschrieben. Der Ziffernzähler wird danach durch das Rücksetzsignal R, das die Steuerlogik aus der negativen Flanke des Pausensignals PZ bildet, zurückgesetzt. Dieser Vorgang wiederholt sich, bis alle 16 Stellen des Speichers belegt sind. Danach stoppt sich der Stellenzähler durch die Erkennungslogik (Stop) selbst.
Die gespeicherten Daten werden über die Datenausgänge DO0 bis DO3 auf einen 7-Segment-Dekoder ausgegeben. Dieser Dekoder steuert die 7-Segment-Anzeigen katodenseitig. Die Anoden der Anzeigen sind zusammengeschaltet und erhalten ihren Strom über je einen Schalttransistor (16 Transistoren) aus der Betriebsspannung. Die Werte des Speichers werden im Multiplexverfahren ausgelesen und über den Adreßzähler im Takt des Generators an den 7-Segment-Dekoder gelegt. Um nun eine Anzeige nach der anderen anzusteuern, werden die vom Adreßzähler bereitgestellten Adressen A bis D in einem 1-aus-16-Dekoder dekodiert. Die Ausgänge des Dekoders steuern die 16 Schalttransistoren an, wodurch die entsprechende Anzeige den gespeicherten Wert anzeigt. Durch die Steuerung über den Adreßzähler wird auch eine Synchronisation zwischen dem Lesen und Anzeigen der Daten erreicht.

6.2. Digitaler Funktionsgenerator

Die Abspeicherung von Funktionstabellen (trigonometrische Funktionen) ist uns aus der Taschenrechnerpraxis bekannt. Durch entsprechende Funktionsgruppen können diese als binäre Daten abgespeicherten Funktionen zur Verfügung gestellt werden. Es lassen sich somit Sinusgeneratoren und auch Generatoren mit anderen Funktionsverläufen (allgemein Analog-Funktionsgeneratoren) aufbauen [13].
Dazu wird entsprechend Bild 6.3 den Datenausgängen des Festwertspeichers ein Digital-Analog-Wandler (z. B. in Form eines

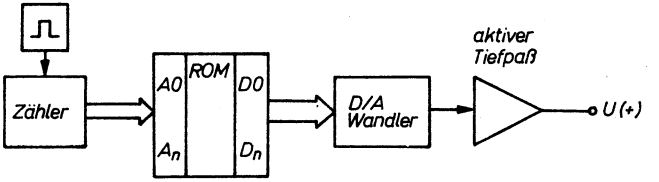


Bild 6.3 Digitaler Funktionsgenerator

$R/2R$-Netzwerks), dem ein aktiver Tiefpaß folgt, nachgeschaltet. Über den Binärzähler, der von einem Taktgenerator (variabler Frequenz) angesteuert wird, werden nacheinander alle Adressen des Festwertspeichers angesprochen. Der Taktgenerator bestimmt die Frequenz des Signals.

Beim Aufbau, z. B. eines Sinusgenerators, werden nun nur die Winkel bis 90° gespeichert, da sich alle größeren Winkel auf Winkel zwischen 0° und 90° zurückführen lassen. Dazu läßt man den Zähler bis zu seinem Endwert und dann wieder zurücklaufen. Danach muß man für den 2. Zyklus die Ausgangsspannung um 180° invertieren.

In einem 8-kbit-ROM (1024 × 8 bit) kann man die Winkel bis 90° in 1024 Schritten abspeichern. Dabei sind die Amplituden bis zum Endwert in 256 Schritten (doppelter Adreßbereich) unterteilt. Da die Wertetabelle (ROM) 4mal durchlaufen werden muß (Bild 6.4), ist die Frequenz des Sinus 4096mal kleiner als die Taktfrequenz.

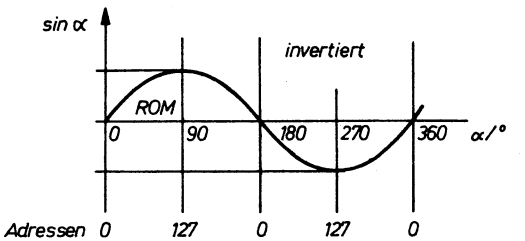


Bild 6.4 Verlauf der Sinusfunktion und Adreßbereich

6.3. Zählschaltung mit Festwertspeicher

Bild 6.5 zeigt die Schaltung eines Synchronzählers, dessen Kode über den Speicher (Adresse A0 bis A3) eingestellt werden kann. Dazu werden die Ausgänge des Festwertspeichers über einen Zwischenspeicher (flanken- oder taktzustandsgesteuertes Flip-Flop) auf die Adreßeingänge A0 bis A3 zurückgeführt. Den Festwertspeicher muß man nun so programmieren, daß der Zählkode, um eine Taktflanke versetzt, als neue Adresse (A_{t+1}) zur Verfügung steht. Mit dem Adreßteil A4 bis A7 wird der Kode ausgewählt. Tabelle 6.1 zeigt einige tetradisch-dekadische Kodes. Da nach dem Taktsignal (nach der Zugriffszeit des Festwertspeichers) alle Daten gleichzeitig am Ausgang anliegen, ist es ein Synchronzähler.
Tabelle 6.2 zeigt die Wahrheitstabelle für den Aufbau einer Zählschaltung am *Gray*-Kode.
Die Adressen A0 bis A3 sowie die Zwischenspeicherausgänge seien zunächst LLLL. Der 2. Teil der Adresse (A4 bis A7) wird

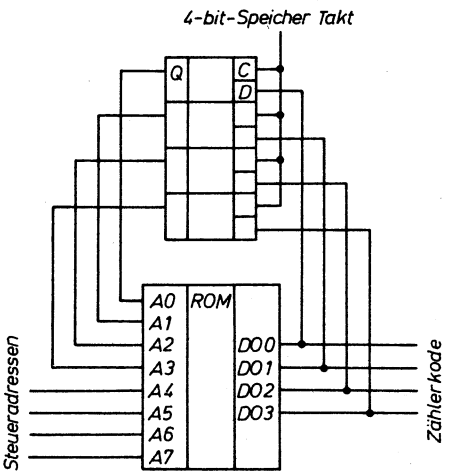


Bild 6.5
Zählerschaltung mit Festwertspeicher

auch mit LLLL angenommen. Weitere Kodes können durch entsprechende »H« im 2. Adreßteil ausgewählt werden.
Unter dieser Abfangadresse steht nun im Speicher (DO0 bis DO3) die *Gray*-Zahl 1 (LLLH). Nach dem Taktimpuls erscheint dieses bit-Muster als neue Adresse LLLH, unter der die *Gray*-Zahl 3 (LLHL) abgespeichert ist. Nach dem nächsten Taktimpuls wird nun dieses Datenmuster zur neuen Adresse usw., bis als Adresse die *Gray*-Zahl 9 (HHLH) erscheint, bei der im Speicher das Datenwort LLLL steht und somit der Zyklus von neuem beginnt.
Bei den nichtbenutzten Adressen wird der Speicher auch nicht programmiert. Durch Umschaltung (Kodierung) mit den Adressen A4 bis A7 ist es möglich, 16 unterschiedliche Kodes abzuspeichern.

Tabelle 6.1 Tretradisch-dekadische Kodes

	Kodewort				8-4-2-1-Kode	Exeß-3-Kode	Aiken-Kode	Gray-Kode
	D	C	B	A				
0	L	L	L	L	0		0	0
1	L	L	L	H	1		1	1
2	L	L	H	L	2		2	3
3	L	L	H	H	3	0	3	2
4	L	H	L	L	4	1	4	7
5	L	H	L	H	5	2		6
6	L	H	H	L	6	3		4
7	L	H	H	H	7	4		5
8	H	L	L	L	8	5		
9	H	L	L	H	9	6		
10	H	L	H	L		7		
11	H	L	H	H		8	5	
12	H	H	L	L		9	6	8
13	H	H	L	H			7	9
14	H	H	H	L			8	
15	H	H	H	H			9	

Tabelle 6.2 Gray-Kode

	Adresse				Daten				Gray-Kode
	3	2	1	0	3	2	1	0	
0	L	L	L	L	L	L	L	H	1
1	L	L	L	H	L	L	H	L	3
2	L	L	H	L	L	L	H	H	2
3	L	L	H	H	L	H	L	L	7
4	L	H	L	L	L	H	L	H	6
5	L	H	L	H	L	H	H	L	4
6	L	H	H	L	L	H	H	H	5
7	L	H	H	H	H	H	L	L	8
8	H	L	L	L					
9	H	L	L	H					
10	H	L	H	L					
11	H	L	H	H					
12	H	H	L	L	H	H	L	H	9
13	H	H	L	H	L	L	L	L	0
14	H	H	H	L					
15	H	H	H	H					

6.4. Mikroprogrammsteuerung

Mit einem Festwertspeicher, in dem ein Programm steht, und einem Zähler, der die Adressen weiterschaltet, kann man eine Mikroprogrammsteuerung (Programmschaltwerk) aufbauen. Die Abarbeitung der Steuerbefehle geschieht dabei in einer festen Reihenfolge. Sieht man nun noch eine Steuerung vor, die den Programmzähler mit einer Sprungadresse lädt, so führt das Programm einen Sprung (Verzweigung) zu einem anderen Satz von Befehlen aus (Bild 6.6). Der Sprung kann *bedingt* oder *unbedingt* durchgeführt werden. Er ist *unbedingt*, wenn die Verzweigung immer durchgeführt wird. Wenn aber die Verzweigung unter bestimmten Voraussetzungen durchgeführt wird, die das System von außen oder von abgearbeiteten Daten erhält, so ist es ein *bedingter* Verzweigungsbefehl.

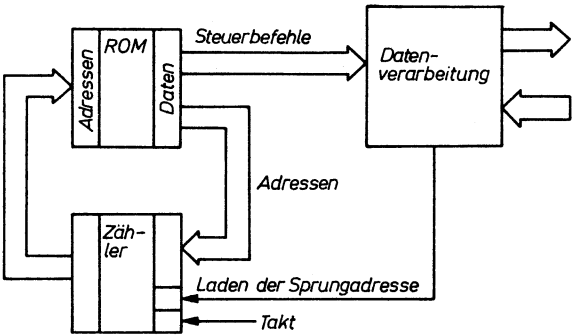


Bild 6.6 Prinzip einer Mikroprogrammsteuerung

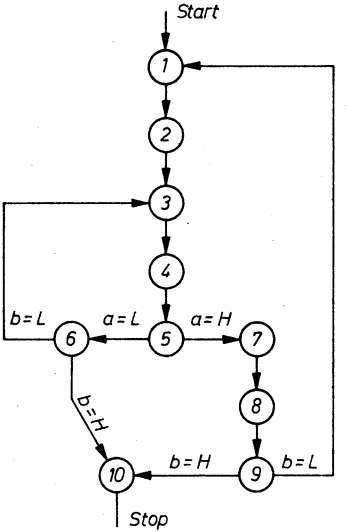


Bild 6.7
Flußdiagramm
mit Verzweigungen

Bild 6.7 zeigt ein Flußdiagramm mit Verzweigungen. Es sind die einzelnen Steuerschritte eingezeichnet, wie sie nacheinander (Takt) erreicht werden sollen. Im Flußdiagramm ist diese Rei-

henfolge von vornherein nicht festgeschrieben, sondern von den Signalen a und b abhängig. Je nach den logischen Zuständen wird das Programm an diesen Stellen verzweigt. Solange a und b 0 (L) ist, werden die Schritte 3 bis 6 ständig wiederholt. Das gleiche geschieht auch mit a = H und b = L für die Schritte 1 bis 5 und 7 bis 9.

Die einzelnen Schritte sind Befehle, die nacheinander abgearbeitet werden müssen. Jeder der Befehle ist durch ein 4stelliges Kodewort gekennzeichnet (s. a. Zählerschaltung mit ROM). Bild 6.8 zeigt die Schaltung der Folgesteuerung. Mit dem H-Signal am Start-Eingang wird das RS-Flip-Flop gesetzt und der

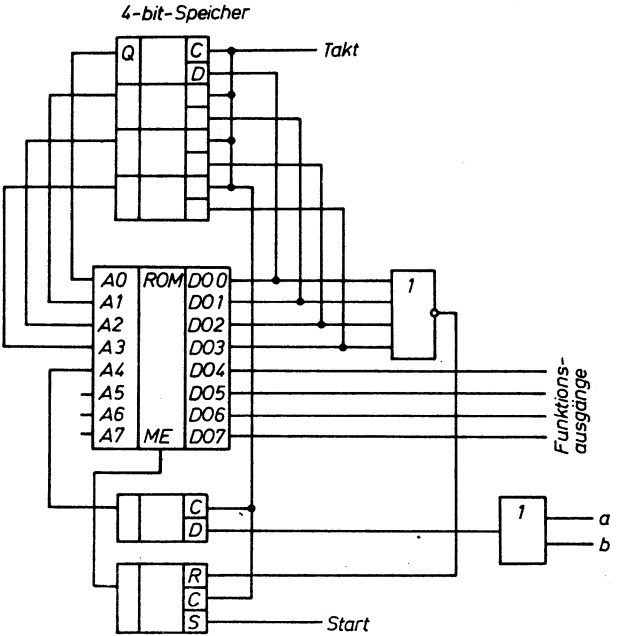


Bild 6.8 Schaltung einer Mikroprogrammsteuerung

Festwertspeicher freigegeben. An den Ausgängen DO0 bis DO3 erscheint daraufhin die Adresse für den nächsten Schritt. Diese wird, durch den Zwischenspeicher um einen Takt verzögert, auf die Adreßeingänge A0 bis A3 gegeben. Durch den Adreßeingang A4 lassen sich die Verzweigungssignale a und b erkennen. Mit den Eingängen A5 bis A7 wären weitere Verzweigungen möglich.
Die Ausgänge DO0 bis DO4 bereiten den Übergang von einem zum anderen Programmschritt vor, wodurch für den nachfolgenden Programmschritt die Adresse vorbereitet wird.

6.5. Kodeumsetzer

Durch die Verwendung von Festwertspeichern lassen sich einfach und billig Kodeumsetzer realisieren [7]. Dabei ist das Datenwort des Speichers eine Funktion der Adresse. Auf den jeweiligen Speicherplatz ist der auszugebende Kode programmiert.
An Hand des BCD-7-Segment-Dekoders soll die Kodeumsetzung gezeigt werden (Bild 6.9).
Die Adressen A0 bis A3 des Festwertspeichers werden entsprechend der Wahrheitstafel (Tabelle 6.3). angesteuert. An den Datenausgängen erscheint das entsprechende bit-Muster zur Ansteuerung der Anzeige. Zwischen den ROMs und der Anzeige müssen Treiber geschaltet werden. Über die Adresse A4 ist es möglich, den Dezimalpunkt anzusteuern. Dabei wiederholt sich die Tabelle von 0 bis 9 im Speicher.

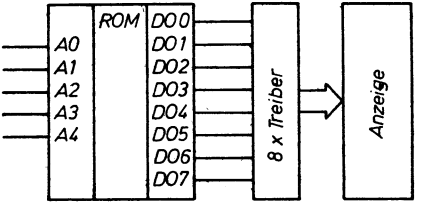


Bild 6.9
BCD-7-Segment-Dekoder

Tabelle 6.3 Wahrheitstabelle des BCD-Kodes mit und ohne Dezimalpunkt

Dezimal-ziffer	BCD-Kode ohne Dezimalpunkt					7-Segment-Dekodierung							
	A4	A3	A2	A1	A0	a	b	c	d	e	f	g	DP
0	L	L	L	L	L	H	H	H	H	H	H	H	L
1	L	L	L	L	H	L	H	H	L	L	L	L	L
2	L	L	L	H	L	H	H	L	H	H	L	H	L
3	L	L	L	H	H	H	H	H	H	L	L	H	L
4	L	L	H	L	L	L	H	H	L	L	H	H	L
5	L	L	H	L	H	H	L	H	H	L	H	H	L
6	L	L	H	H	L	L	L	H	H	H	H	H	L
7	L	L	H	H	H	H	H	H	L	L	L	L	L
8	L	H	L	L	L	H	H	H	H	H	H	H	L
9	L	H	L	L	H	H	H	H	L	L	H	H	L

Dezimal-ziffer	BCD-Kode mit Dezimalpunkt					7-Segment-Dekodierung							
	A4	A3	A2	A1	A0	a	b	c	d	e	f	g	DP
0	H	L	L	L	L	H	H	H	H	H	H	H	H
1	H	L	L	L	H	L	H	H	L	L	L	L	H
2	H	L	L	H	L	H	H	L	H	H	L	H	H
3	H	L	L	H	H	H	H	H	H	L	L	H	H
4	H	L	H	L	L	L	H	H	L	L	H	H	H
5	H	L	H	L	H	H	L	H	H	L	H	H	H
6	H	L	H	H	L	L	L	H	H	H	H	H	H
7	H	L	H	H	H	H	H	H	L	L	L	L	H
8	H	H	L	L	L	H	H	H	H	H	H	H	H
9	H	H	L	L	H	H	H	H	L	L	H	H	H

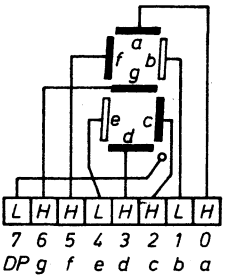


Bild 6.10
Zuordnung des Speicher-Bytes zur Anzeige; Beispiel: »6 B« im Speicher-Byte entspricht der Anzeige »5«

Bild 6.10 zeigt die Zuordnung des Daten-Bytes zur Anzeige.

6.6. Zeichengenerator

Alphanumerische Zeichen lassen sich in Form einer Punktmatrix darstellen. Die Darstellung der Zeichen und Ziffern wird in einer Matrix von 5 × 7- bis 5 × 10-Punktelementen vorgenommen. Käufliche Zeichengeneratoren haben dabei meistens den Wertevorrat des ISO-7-bit-Kodes (ASCII). Es werden aber auch Zeichengeneratoren mit kyrillischen und japanischen Schriftzeichen angeboten.
Bild 6.11 zeigt eine Schaltung mit einem Zeichengenerator (z. B. *U 401*) zur Ansteuerung einer 5 × 10-Punktmatrix.
Durch Anlegen der Adressen e1 bis e6 wird über den Zeilendekoder des Zeichengenerators eine Teilmatrix des gespeicherten Bit-Musters aktiviert. Es ist nun aber nicht möglich, das gesamte Zeichen mit einem Befehl aus dem Speicher aufzurufen. Man muß entweder zeilenweise oder spaltenweise in einem Zeitmultiplexverfahren die Teilmatrix abfragen.
Beim Lesen wird nun das gewünschte Zeichen über den Zeilendekoder aufgerufen und die adressierte Teilmatrix des Speichers mit einem Binärzähler über den Spaltendekoder (r1, r2, r3) spaltenweise abgefragt. Die 10 bit jeder Spalte erscheinen am Ausgang a1 bis a10 des Zeichengenerators und legen die zeilenweise zusammengeschalteten Anoden der Diodenmatrix (LED) an ein hohes Potential.

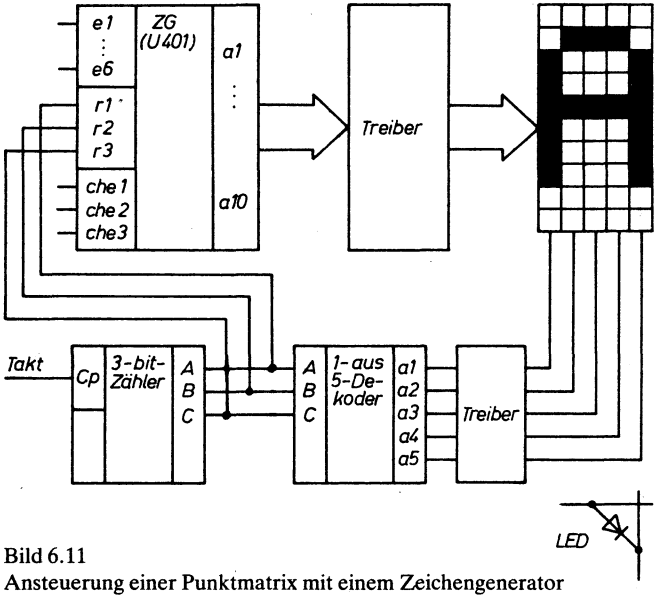


Bild 6.11
Ansteuerung einer Punktmatrix mit einem Zeichengenerator

Der Binärzähler steuert synchron zum Spaltendekoder des Zeichengenerators einen 1-aus-5-Dekoder, der die Katoden der LEDs jeweils einer Spalte an Masse schaltet.
Nach jeweils 5 Taktimpulsen ist das gesamte Zeichen spaltenweise seriell in der Leuchtdiodenmatrix erschienen. Durch entsprechende Wahl der Taktfrequenz erscheint ein stehendes Zeichen.

6.7. Umlaufspeicher

Bild 6.12 zeigt den prinzipiellen Einsatz eines Umlaufspeichers (z.B. *U 352*) mit seiner Steuerlogik.
Diese Steuerlogik benutzt man dazu, damit man weiß, in welchem Registerteil sich die Information gerade befindet.

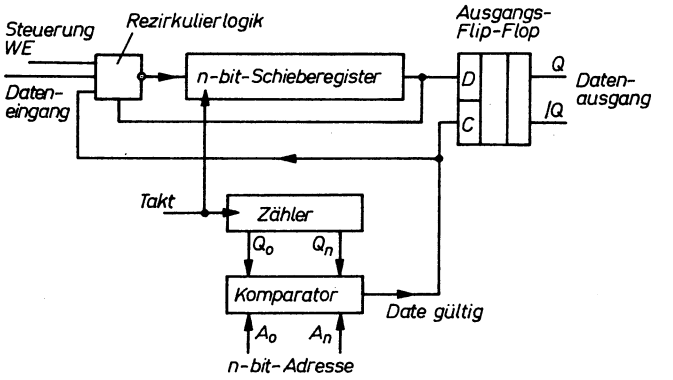


Bild 6.12 Umlaufspeicher mit Steuerlogik

Die dem Schieberegister zugeführten Taktimpulse werden parallel in einem n-bit-Zähler mitgezählt. Bei einem definierten Zählerstand befindet sich immer die gleiche Information am Ausgang. Der Zählerstand wird nun zusätzlich in einem n-bit-Komparator mit der eingestellten Adresse verglichen. Stimmen beide überein, so erzeugt der Komparator ein Ausgangssignal, wodurch diese gewünschte Information (befindet sich gerade am Schieberregisterausgang) in einem D-Flip-Flop zwischengespeichert werden kann.

Beim Einlesen einer Information muß beim entsprechenden Zählerstand der Schreib-Lese-Anschluß auf Lesen geschaltet werden, wobei der Registereingang für diese Zeit über die Rezirkulierlogik an den Dateneingang gelegt wird. In diesem Fall wird das Schieberegister wie ein RAM benutzt. Doch muß die bedeutend längere Zugriffszeit beachtet werden, die von der Länge der Register abhängt.

Der aufgerufene Speicherplatz kann nun gerade am Dateneinoder Datenausgang vorbeigelaufen sein. Deshalb muß man die Information im Register einmal umlaufen lassen, um an den gewünschten Speicherplatz zu kommen. Die maximale Zugriffszeit beträgt dann $2^n/f_{cp}$, wobei f_{cp} die Taktfrequenz ist.

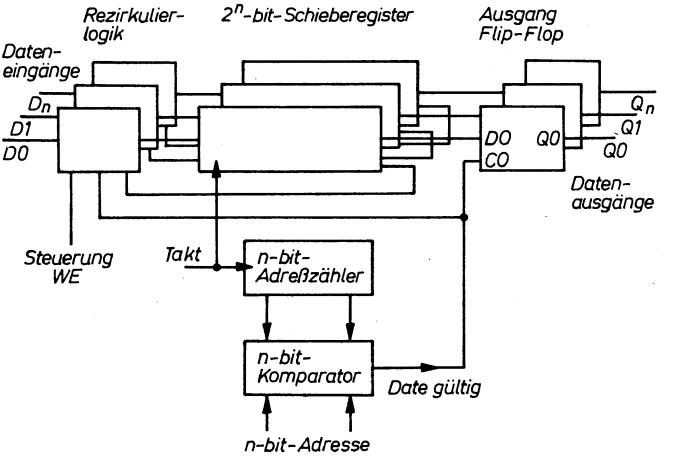


Bild 6.13 2^n x m bit-Umlaufspeicher-System

Der in Bild 6.12 gezeigte Umlaufspeicher ist aber nur ein serieller Speicher für *ein* Wort mit einer bit-Länge von 2^n. Zur Anwendung kommen aber serielle Speichersysteme mit der Konfiguration $2^n \times m$ bit, d.h., er besteht aus 2^n Wörtern, die m bit lang sind. Dazu werden m Schieberegister der Länge 2^n parallelgeschaltet, deren Daten rezirkulieren können. Bild 6.13 zeigt den prinzipiellen Aufbau eines solchen $2^n \times m$ bit-Speichersystems. Die Steuerlogik, außer den D-Flip-Flops, wird nur einmal benötigt. Man kann diesen Speicher auch als »Trommelspeicher« bezeichnen.

6.8. Zufallsgenerator

Durch entsprechende Beschaltung eines Schieberegisters mit einer Rückkopplungsschaltung lassen sich Zähler und Frequenzteiler aufbauen.
Schaltet man nun 2 Ausgänge über ein EXOR (exklusives

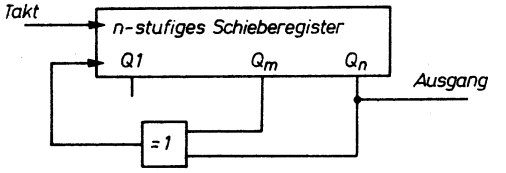


Bild 6.14
Schaltung eines Zufallsgenerators

ODER) auf den Dateneingang, so erscheint an allen Ausgängen des n-stufigen Schieberegisters ein digitales Muster, das (quasi-) zufällig ist und sich nach maximal 2^{n-1} Takten wiederholt (Bild 6.14).

7. Programmierung von Speicherbausteinen

So wie es unterschiedliche Arten von Festwertspeichern gibt, ist auch ihre Programmierung unterschiedlich. Sie hängt nicht nur von der Art des Speichers selbst ab, sondern ist auch von Typ zu Typ in den einzelnen Gruppen (wie PROM, EPROM, EAROM, ...) abhängig. In den meisten Fällen haben sie unterschiedliche Programmierspannungen und -zeiten, wobei die Adreß- und Datensignale in der Regel TTL-kompatibel sind.

Die ROMs werden, wie schon beschrieben, vom Hersteller mit einer »Metallisierungsmaske« in einem der letzten technologischen Schritte programmiert. Dazu werden vom Hersteller entsprechende Richtlinien (z. B. für den *U 505 D* der *FS 457.08* des VEB Kombinat *Mikroelektronik*) zur Bestellung dieser Speicher herausgegeben.

Die Gruppe der PROMs kann einmalig vom Anwender programmiert werden. Die einmal programmierten Speicherzellen lassen sich nicht mehr verändern (irreparable Zerstörung). Eine Änderung ist lediglich nur noch dahingehend möglich, daß bei einem programmierten Datenwort eine der noch nicht programmierten Speicherzellen noch programmiert werden kann. Der Grundzustand des Speichers (H oder L) hängt vom jeweiligen Typ ab.

Im Gegensatz zum PROM läßt sich ein REPROM wieder löschen, da die Information in Form einer Ladung gespeichert ist. Die Speicher lassen sich mit UV-Licht oder elektrischen Impulsen löschen. Bei den mit UV-Licht löschbaren Speichern (EPROM) wird der gesamte Inhalt gelöscht. Die elektrisch löschbaren können entweder gesamt (EAPROM) oder wortweise (EEPROM) gelöscht werden.

Die Programmierung der Speicher kann Schritt für Schritt oder automatisch durchgeführt werden. In jedem Fall sind dabei die Richtlinien und Anweisungen der Hersteller einzuhalten, damit der Speicherbaustein bzw. eine einzelne Speicherzelle nicht zerstört wird.

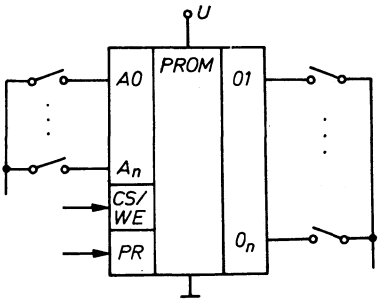


Bild 7.1
Prinzip der Programmierung

Bild 7.1 zeigt das Prinzip der Programmierung. Über die Dateneingänge A0 bis An werden Spannungen angelegt, die dem binären Äquivalent der Adressen entsprechen. Danach wird das Datenwort auf gleiche Weise eingestellt. Über den Eingang CS/WE stellt man den Speicher auf Programmierbetrieb ein. Sind alle diese Bedingungen erfüllt, wird auf den Programmiereingang PR ein Impuls oder eine Impulsfolge mit einer definierten Gesamtenergie gegeben, und das Wort ist programmiert.

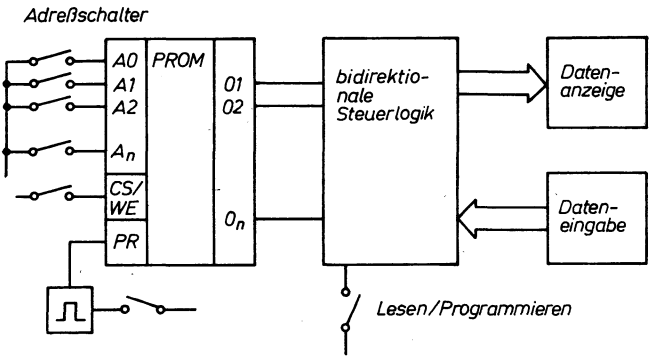


Bild 7.2 Prinzip eines Programmiergeräts für schrittweises Programmieren

Bei einigen Speichern ist es jedoch nicht statthaft, ein Wort (Byte) mit einmal zu programmieren, sondern man muß entsprechende Pausen zwischen den Programmierimpulsen einhalten, damit nicht durch lokale Erhitzung einzelne Speicherzellen zerstört werden. Nach dem Programmieren müssen die eingeschriebenen Daten überprüft werden, und bei Nichtübereinstimmung muß man den Programmiervorgang wiederholen.
Bild 7.2 zeigt das Prinzip eines Programmiergeräts für schrittweises Programmieren. Über den Adreßschalter wird die Adresse des zu programmierenden Bytes angelegt. Das entsprechende Datenwort wird über die bidirektionale Steuerlogik auf die PROM-Ausgänge, die im Programmierbetrieb als Eingänge arbeiten, gelegt. In der Datenanzeige ist der Binärkode des Datenworts zu sehen. Der Speicher wird auf Programmierbetrieb geschaltet (CS/WE). Nachdem der Speicher soweit vorbereitet ist, können vom Impulsgenerator die Programmierimpulse auf den Programmiereingang gegeben werden. Nach dem Programmieren schaltet man den Speicher und die Steuerlogik auf Lesen; dann kann man in der Datenanzeige das programmierte Datenwort sehen und vergleichen. Gegebenenfalls muß der Vorgang wiederholt werden. Danach werden die neuen Bedingungen angelegt und das nächste Byte programmiert.
Diese Art der Programmierung ist sehr zeitaufwendig und nicht bei jedem Speicher (wegen lokaler Erhitzung der Speicherzellen) möglich.
Es ist deshalb sinnvoll, den gesamten Programmiervorgang eines Speichers automatisch ablaufen zu lassen (Bild 7.3). Dazu wird in einem RAM der gesamte zu programmierende Inhalt des PROMs abgespeichert. Danach werden über die Steuerlogik die Bedingungen zur Programmierung des Speichers eingestellt. Über die Steuerung wird der Impulsgenerator angesteuert und ergibt einen Programmierimpuls auf den Speicher. Danach erhöht der Adreßzähler die Adresse um 1; es liegen die neuen Daten und neue Programmieradresse an. Es wird wieder der Programmierimpuls ausgelöst usw., bis die letzte Adresse erreicht ist. Jetzt wird der Zykluszähler um 1 weitergezählt, und der Programmierzyklus beginnt von neuem. Ist die vorgegebene Zyklus-

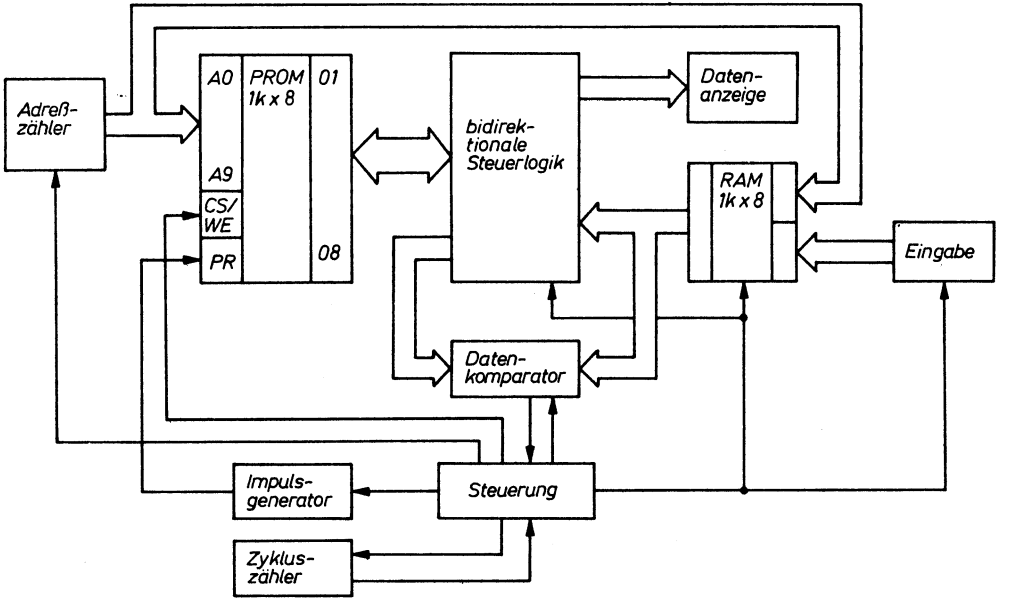


Bild 7.3 Prinzip eines automatischen Programmiergeräts

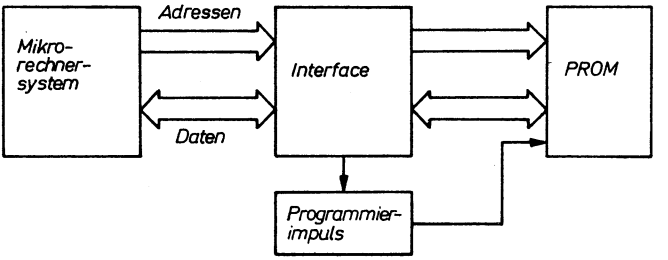


Bild 7.4 Prinzip eines mikrorechnergesteuerten Programmiergeräts

zahl erreicht, bricht die Programmierung ab. Jetzt kann man auf Lesen umschalten, und die Daten des PROMs werden mit denen im RAM im Datenkomparator verglichen. Bei Ungleichheit wird ein Fehlersignal ausgegeben. Bei modernen PROMs (z.B. *U 2716* und größere) wird das Datenwort (Byte) mit einem Programmierimpuls definierter Länge programmiert, so daß der Zykluszähler entfallen kann.

Moderne, mikrorechnergesteuerte Programmiergeräte (Bild 7.4) überprüfen nach einer vorgegebenen Grundzykluszahl den Dateninhalt automatisch. Sind die Datenwörter im Speicher programmiert, wird zur Sicherheit noch eine bestimmte Anzahl von Programmierzyklen durchgeführt und dann das Programmieren beendet. Treten weiterhin Fehler auf, so wird das angezeigt und auch abgebrochen. Außerdem gibt es für diese Geräte Module, wodurch unterschiedliche Speicher auf einem Programmiergerät programmiert werden können.

8. Daten von Speicherbauelementen

Es werden in diesem Abschnitt eine Reihe von Speicherbauelementen aus der Produktion der DDR und des RGW vorgestellt. Auf Kompatibilität zu internationalen Typen wird hingewiesen. Bei der Anwendung sind die Daten der Bauelementehersteller unbedingt einzuhalten, um eine Zerstörung der Bauelemente zu verhindern. Für Bauelemente aus der Produktion der DDR sind die entsprechenden Standards (TGL) verbindlich. Tabelle 8.1 gibt einen Überblick über Speicherbauelemente.

Tabelle 8.1 Typenübersicht der Halbleiterspeicherbauelemente

Typ	Hersteller	Funktion	TGL	Internationaler Typ
U 202 D	DDR	1024 × 1 bit sRAM	35333	2102 A, K 565 RU 2
U 202 DA	DDR	1024 × 1 bit sRAM	38005	
U 214 D	DDR	1024 × 4 bit sRAM	42232	2114
U 215 D	DDR	1024 × 1 bit sRAM (OD)	38995	2115
U 224 D	DDR	1024 × 4 bit CMOSRAM	42233	HM 6514
U 225 D	DDR	1024 × 1 bit sRAM (TS)	38995	2125
U 253 D	DDR	1024 × 1 bit DRAM	32060	1103
U 256 D	DDR	16 k × 1 bit DRAM	38690	MK 4116, K 565 RU 3
U 216 4	DDR	64 k × 1 bit DRAM	42234	2164
U 8246[4])	DDR	256 × 4 bit sRAM (CMOS)	(EMS 2613)	
U 6516	DDR	2 k × 8 bit sRAM (CMOS)		6516
K 565 RU 1	SU	4 k × 1 bit DRAM		
K 565 RU 1A	SU	4 k × 1 bit DRAM		
KR 565 RU 1	SU	4 k × 1 bit DRAM		
K 565 RU 2	SU	1 k × 1 bit sRAM		
KR 565 RU 2	SU	1 k × 1 bit sRAM		
K 565 RU 3	SU	16 k × 1 bit DRAM		
K 565 RU 5	SU	64 k × 1 bit DRAM		
K 565 RU 6	SU	16 k × 1 bit DRAM (+ 5 V)		
KM 132 RU 5	SU	4 k × 1 bit sRAM		

Typ	Hersteller	Funktion	TGL	Internationaler Typ
KM 537 RU 1	SU	1 k × 1 bit sRAM (CMOS)		
KR 537 RU 1	SU	1 k × 1 bit sRAM (CMOS)		
KR 132 RU 4	SU	1 k × 1 bit sRAM		
K 155 RU 2	SU	64 bit sRAM (TTL)		
MH 7489	ČSSR	16 × 4 bit sRAM (TTL)		
MH 1902	ČSSR	1 k × 1 bit sRAM (CMOS)		
U 501	DDR	256 × 8 bit ROM	32057	1302
U 505	DDR	1 k × 8 bit ROM	34815	2308
U 551	DDR	256 × 8 bit PROM	32874	1602 A
U 552	DDR	256 × 8 bit EPROM	35838	1702 A
U 555	DDR	1 k × 8 bit EPROM	37787	2708
U 2716	DDR	2 k × 8 bit EPROM	43077	2716
U 2732	DDR	4 k × 8 bit EPROM	43809	2732
U 2764	DDR	8 k × 8 bit EPROM		2764
U 2316	DDR	2 k × 8 bit ROM		2316
U 2616	DDR	2 k × 8 bit PROM	43078	2616
U 2364	DDR	8 k × 8 bit ROM	43076	2364
U 2365	DDR	8 k × 8 bit ROM (mit internem Adreßlatch)	43076	
K 573 RF 1	SU	1 k × 8 bit EPROM		2708
K 573 RF 2	SU	2 k x 8 bit EPROM		2716
K 573 RF 5	SU	2 k × 8 bit EPROM		2716
U 352	DDR	64 × 1 bit D-Schieberegister	26178	
U 401[1])	DDR	Zeichengenerator 3200 bit	33014	
U 402[2])	DDR	Zeichengenerator 2560 bit	32059	
U 403[3])	DDR	Zeichengenerator 2560 bit	32059	

1) 64 Zeichen in 10 × 5 bit-Worten (Spaltenausgabe)
2) 64 Zeichen in 8 × 5 bit-Worten (Zeilenausgabe)
3) 32 Zeichen in 8 × 10 bit-Worten (Zeilenausgabe)
4) Einsatz als Erweiterungs-RAM für den EMR 8047

U 214 D

Der *U 214 D* ist ein hochintegrierter statischer 1024 × 4 bit-Schreib-Lese-Speicher (sRAM) mit folgenden charakteristischen Daten:

- statischer RAM,
- Organisation 1024 × 4 bit,
- Betriebsspannung + 5 V,
- TTL-Pegel für alle Ein- und Ausgänge,
- Verlustleistung ≦ 600 mW,
- Ruhezustand (Power-Down-Schaltung), etwa 35 % Stromaufnahme,
- Zugriffszeit ≦ 200 ns (≦ 450 ns),
- 18poliges DIL-Gehäuse (7,5 mm Reihenabstand).

Der Speicher besteht aus (Bild 8.1):

- Speichermatrix mit 64 Zeilen und 64 Spalten,
- 6 Adreßeingangsschaltungen zur Zeilensteuerung,
- 4 Adreßeingängen zur Spaltensteuerung,
- Zeilendekoder mit 64 Ausgängen,
- Spaltendekoder mit 16 Ausgängen,
- 4 bidirektionalen Datenein- und Datenausgebestufen mit Leseverstärker,
- Chip-Auswahlsteuerung (Power-Down-Steuerung),
- Schreib-Lese-Steuerung,
- Substratvorspannungsgenerator.

Im *Ruhezustand* (/CS = H) sind die Ausgänge D 0 bis D 3 hochohmig. Die Stromaufnahme beträgt dabei etwa 35 % (Power-Down-Steuerung). Die Auswahl des Schaltkreises geschieht mit /CS = L. Die Auswahl der jeweils 4 Speicherzellen wird von den Adreß-bits A 0 bis A 9 vorgenommen.

Beim *Schreiben* (/CS = L, /WE = L) werden die an D 0 bis D 3 anliegenden Daten in die Speichermatrix eingeschrieben.

Beim *Lesen* (/CS = L, /WE = H) stehen die Daten der ausgewählten Speicherzellen nach der Zugriffszeit t_{ACC} an den Datenausgängen D 0 bis D 3 zur Verfügung. Bild 8.2 zeigt die Impulsdiagramme des Lese- und Schreibzyklus. In Tabelle 8.2 sind die Betriebsdaten dargestellt.

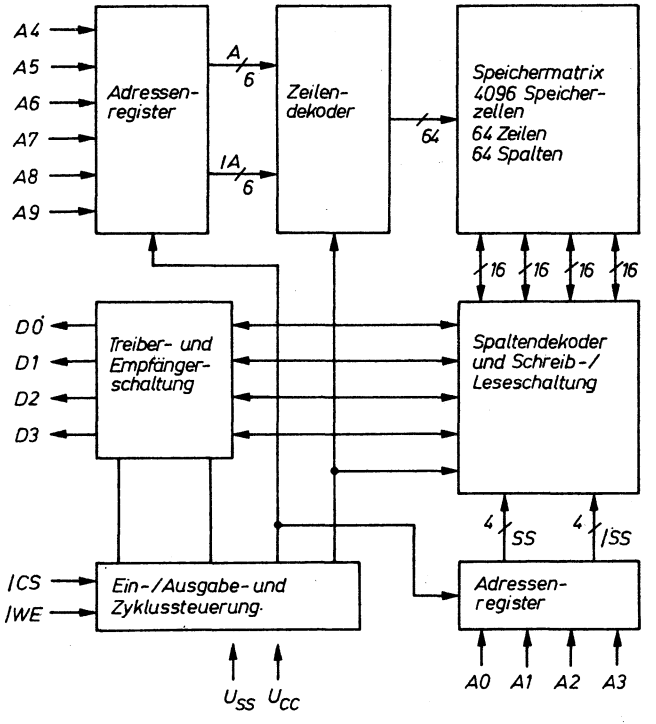
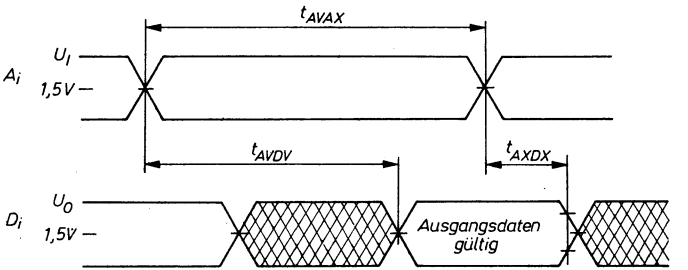


Bild 8.1 Übersichtsschaltplan des *U 214 D*

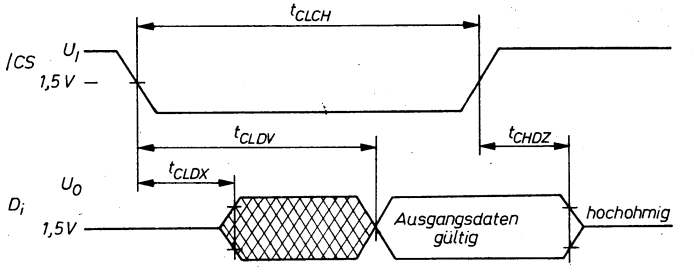
Tabelle 8.2 Grenzwerte, ausgewählte statische und dynamische Kennwerte des *U 214 D*

Kenngröße	Kurzzeichen	Wert	Einheit
Betriebsspannung	U_{CC}	0...7,0	V
Eingangsspannung	U_I	−1,5...7,0	V
Ausgangsspannung	U_O	−1,5...7,0	V
Ausgangskurzschlußstrom	I_{DS}	max. 5	mA
Verlustleistung	P_V	max. 1	W
Betriebstemperatur	ϑ_a	0...70	°C
Lagertemperatur	ϑ_S	−55...125	°C
Betriebsspannung	U_{CC}	4,75...5,25	V
L-Eingangsspannung	U_{IL}	−1,0...0,8	V
H-Eingangsspannung	U_{IH}	2,0...5,5	V
Eingangsstrom	I_{IL}	max. 10	µA
L-Ausgangsspannung	U_{OL}	max. 0,4	V
H-Ausgangsspannung	U_{OH}	min. 2,4	V
Eingangskapazität	C_I	max. 10	pF
/CS-Zugriffszeit[1)]	t_{CLDV}	max. 450	ns
Adreßzugriffszeit[1)]	t_{AVDV}	max. 450	ns

[1)] Gelten für den Grundtyp *U 214 D45*



a) Für Lesezyklus /WE = H-Pegel
Schaltkreis ständig ausgewählt: /CS = H-Pegel



b) Für Lesezyklus /WE = H-Pegel
Adressen gültig während der gesamten Phase /CS = L-Pegel

Bild 8.2 Impulsdiagramm des *U 214 D*; a – Lesezyklus 1, b – Lesezyklus 2

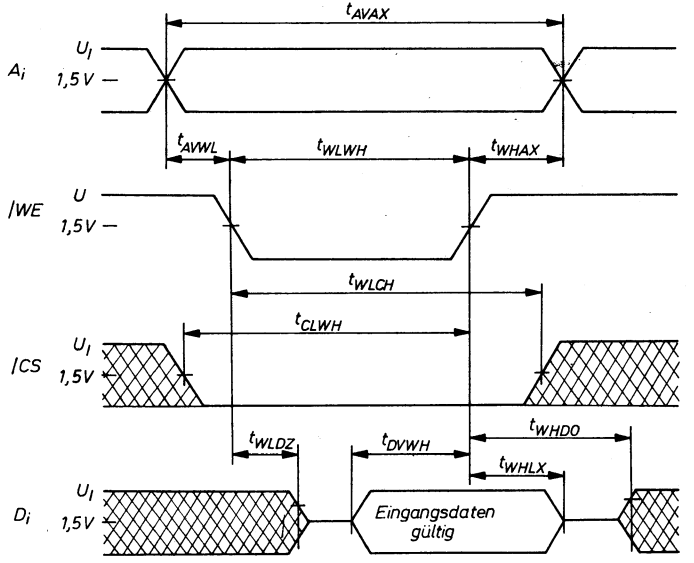


Bild 8.2 c – Schreibzyklus

U 224 D

Der *U 224 D* ist ein hochintegrierter statischer 1024 × 4 bit-Schreib-Lese-Speicher (sRAM) in CMOS-Technik mit folgenden charakteristischen Daten:

- statischer RAM in CMOS-Technik,
- Organisation 1024 × 4 bit,
- Betriebsspannung + 5 V,
- TTL-Pegel für alle Ein- und Ausgänge,
- Verlustleistung ≦ 0,5 W,

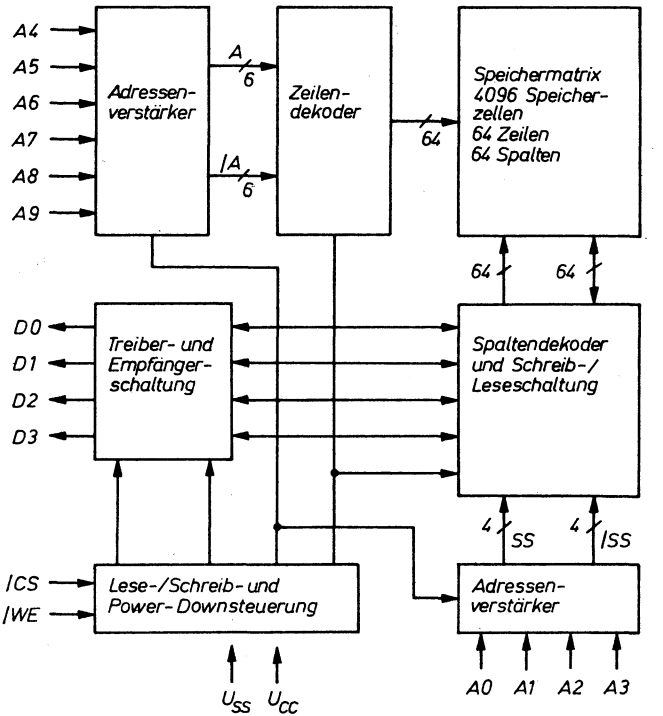


Bild 8.3 Übersichtsschaltplan des *U 224 D*

- Schlafzustand (+2V),
- Zugriffszeit ≦350ns,
- kompatibel zum *U 214 D*,
- 18poliges DIL-Gehäuse (7,5mm Reihenabstand).

Der Speicher besteht aus (Bild 8.3):
- Speichermatrix mit 64 Zeilen und 64 Spalten,
- 6 Adreßeingangsregistern zur Zeilensteuerung,
- 4 Adreßeingangsregistern zur Spaltensteuerung,
- Zeilendekoder mit 64 Ausgängen,
- Spaltendekoder mt 16 Ausgängen,
- 4 Schreib-Lese-Verstärkern,
- 4 bidirektionalen Datenein- und Datenausgängen,
- Taktsteuerung.

Im *Ruhezustand* (/CS = H) sind die Datenausgänge D0 bis D3 hochohmig. Die Auswahl geschieht mit /CS = L.
Die Auswahl der 4 Speicherzellen wird über die Adreßeingänge A0 bis A9 mit der H/L-Flanke von /CS vorgenommen. Dabei werden die Adreß-bits in das Adreßregister übernommen.
Beim *Schreiben* (/CS = L, /WE = L) werden die Daten an D0 bis D3 mit der L/H-Flanke des /WE in die Speichermatrix übernommen.
Beim Lesen (/CS = L, /WE = H) stehen die Daten der 4 ausgewählten Speicherzellen nach der Zugriffszeit an den Datenausgängen D0 bis D3 zur Verfügung.
Der *Schlafzustand* ist während des Ruhezustands durch Absenkung der Betriebsspannung möglich.

U 555 C

Der *U 555 C* ist ein elektrisch programmierbarer, UV-löschbarer Festwertspeicher (EPROM) mit folgenden charakteristischen Daten:
- Organisation 1024 × 8 bit,
- Betriebsspannungen +5V, −5V, +12V,
- Zugriffszeit ≦450ns,
- Tristate-Ausgangsstufen,
- TTL-Pegel für alle Ein- und Ausgänge,
- 24poliges DIL-Keramik-Gehäuse (15mm Reihenabstand).

Der Speicher besteht aus (Bild 8.4):
- Speichermatrix mit 64 Zeilen und 128 Spalten,
- 6 Adreßeingängen zur Zeilensteuerung,
- 4 Adreßeingängen zur Spaltensteuerung,
- Zeilendekoder mit 64 Ausgängen,
- Spaltendekoder mit 16 Ausgängen,
- 128 Spaltenschaltern,
- Datenein- und Datenausgangsstufen,
- Lese- und Programmiersteuerung.

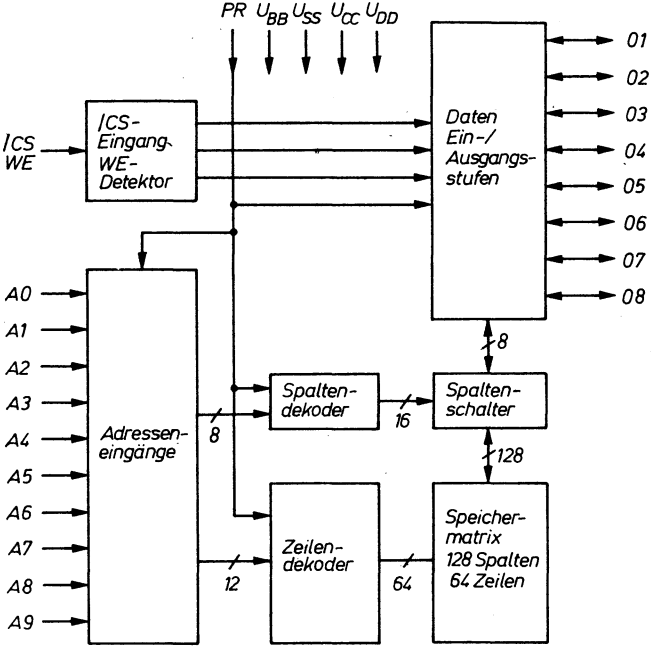
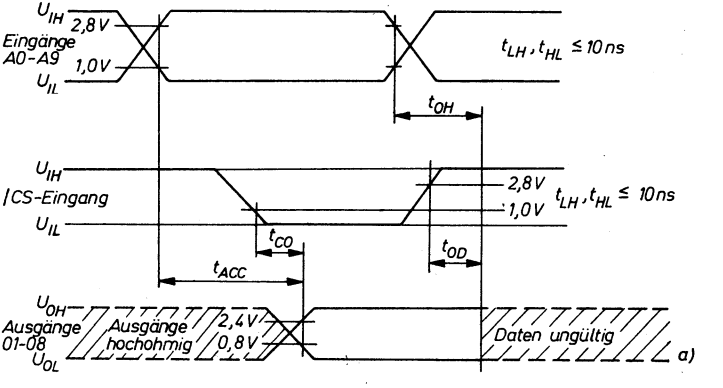


Bild 8.4 Übersichtsschaltplan des *U 555 C*

Die Auswahl des Speichers geschieht über den Chip-Auswahl-Eingang (/CS, WE). Mit /CS = L ist der Speicher ausgewählt, während für /CS = H die Ausgänge hochohmig sind (Tristate).
Das *Lesen* ist über die Adresse oder /CS-Auswahl möglich.
Dabei ist die Zugriffszeit über /CS geringer als über die Adressen (Bild 8.5a).
In den Programmierbetrieb schaltet man den Schaltkreis dann, wenn am /CS, WE-Eingang der H-Pegel über den Wert des H-Pegels auf U_{IH2} (+12V) angehoben wird (Bild 8.5b). Die Programmierung geschieht dann, indem die Adresse ausgewählt wird und die Programmierimpulse an den PR-Eingang angelegt werden, wobei die Anschlüsse O1 bis O8 als Dateneingänge wirken.
Die *Löschung* des Speichers (O1 bis O8 = H-Pegel bei beliebiger Adressenbelegung) geschieht durch intensive UV-Strahlung (Strahlendosis >15 Ws/cm^2, λ = 254nm) durch das Quarzglasfenster.
In Tabelle 8.3 sind die Betriebsbedingungen dargestellt.



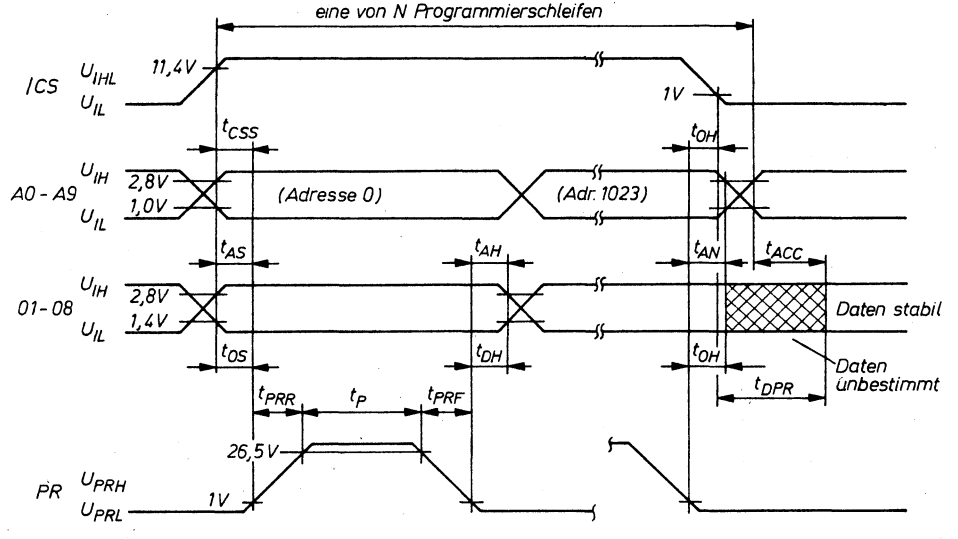


Bild 8.5 Impulsdiagramm des *U 555 C*; a – Lesebetrieb (s. S. 105), b – Programmierbetrieb

Tabelle 8.3 Grenzwerte, ausgewählte statische, dynamische Kennwerte und Programmierbedingungen des *U 555 C*

Kenngröße	Kurzzeichen	Wert	Einheit
Betriebsspannungen	U_{DD}	0,5...20	V
	U_{CC}	0,5...15	V
	U_{SS}	0,5...15	V
Programmierspannung	U_{PR}	0,5...32	V
Eingangsspannung (A_i, O_i)	U_{I1}	0,5...15	V
Eingangsspannung (/CS, WE)	U_{I2}	0,5...15	V
Betriebstemperatur	ϑ_a	0...70	°C
Lagertemperatur	ϑ_S	−55...125	°C
Verlustleistung	P_V	max. 1,5	W
Betriebsspannungen	$-U_{BB}$	4,75...5,25	V
	U_{CC}	4,75...5,25	V
	U_{DD}	11,4...12,6	V
H-Eingangsspannung (A_i, O_i, /CS)	U_{IH1}	3,0...U_{CC} + 0,5	V
H-Eingangsspannung für Programmierung	U_{IH2}	11,4...12,6	V
L-Eingangsspannung	U_{IL}	−0,5...0,8	V
H-Ausgangsstrom	I_{OH}	min. −1,0	mA
Zugriffszeit	t_{ACC}	max. 450	ns
Selektionszeit (/CS)	t_{CO}	max. 120	ns
Deselektionszeit (/CS)	t_{OD}	max. 100	ns
Programmierimpuls			
H-Pegel	U_{PRH}	25...27	V
L-Pegel	U_{PRL}	0...1	V
Betriebstemperatur	ϑ_{aP}	20...30	°C
Programmierimpulsbreite	t_P	0,1...1	ms
Programmierzeit	$N \cdot t_P$	min. 50	ms
Adreßhaltezeit[1)]	t_{AH}	min. 1	µs
/CS, WE-Haltezeit[1)]	t_{CH}	0,5	µs
Datenhaltezeit	t_{DH}	1	µs

[1)] Der Übergang U_{IH2} auf U_{IL} am CS/WE-Eingang am Ende der Programmierzyklen muß nach dem Übergang U_{PRH} nach U_{PRL} geschehen, jedoch vor dem nächsten Adreßwechsel (Adresse 1023 nach Adresse 0)

U 2716

Der *U 2716* ist ein statischer elektrisch programmierbarer und UV-löschbarer Festwertspeicher (EPROM) mit folgenden charakteristischen Daten:

- Organisation 2048 × 8 bit,
- Betriebsspannung $U_{CC} = 5$ V,
- Zugriffszeit 350 bis 450 ns,
- Tristate-Ausgangsstufen,
- Standby-Modus,
- TTL-Programmierimpuls.

Bild 8.6 zeigt das Impulsdiagramm für Lese- und Programmierbetrieb.

U 256

Der *U 256* ist ein dynamischer 16-kbit-Schreib-Lese-Speicher mit wahlfreiem Zugriff (dRAM) mit folgenden charakteristischen Daten:

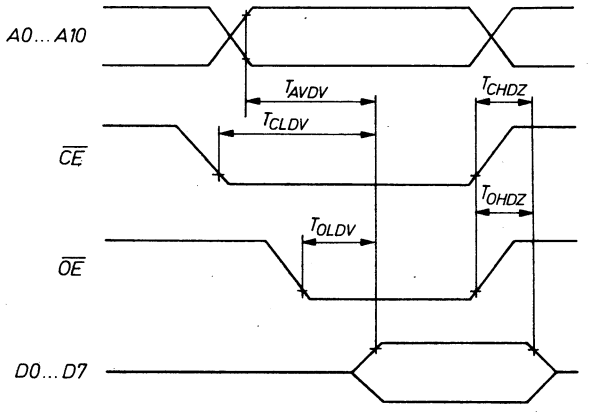
- Organisation 16384 × 1 bit,
- Betriebsspannungen + 5 V, − 5 V, + 12 V,
- Zeitmultiplexe Eingabe über 7 Adreßbits (Zeilen- und Spaltenadressen).

Betriebsarten:
»READ«-Zyklus (Lesezyklus),
»WRITE«-Zyklus (Schreibzyklus),
»READ-MODIFY-WRITE«-Zyklus,
»RAS-ONLY-REFRESH«-Zyklus (Auffrischen durch Aufruf der Zeilenadresse),
sowie »PAGE-MODE«-Betriebsarten.

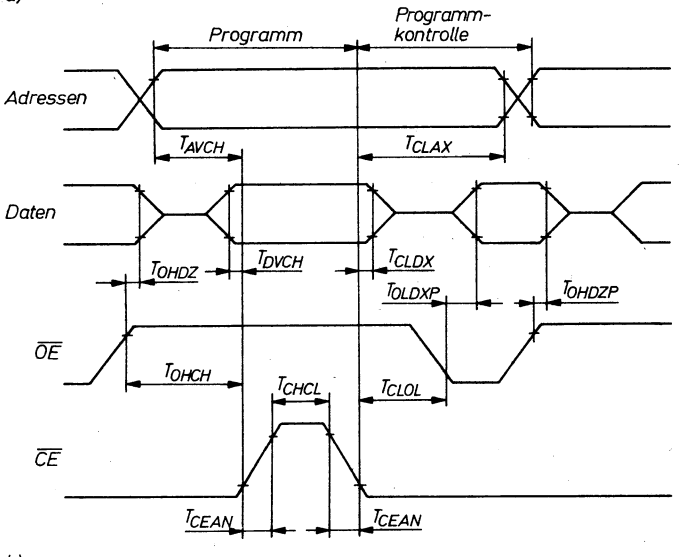
U 2164

Der *U 2164* ist ein dynamischer 64-kbit-Schreib-Lese-Speicher mit wahlfreiem Zugriff (dRAM) mit folgenden charakteristischen Daten:

- Organisation 65536 × 1 bit,
  Betriebsspannung $U_{CC} = 5$ V,
- Zeitmultiplexe Eingabe über 7 Adreßbits (Zeilen- und Spaltenadresse).



a)



b)

Bild 8.6 Impulsdiagramme; a – Lesebetrieb,
b – Programmierbetrieb

27256	27128	2764	2732	2716	2708 (555)		2708 (555)	2716	2732	2764	27128	27256
U_{PR}	U_{PR}					1 28				U_{CC}	U_{CC}	U_{CC}
A12	A12					2 27				$\overline{PGM}$	$\overline{PGM}$	A14
A7	A7	A7	A7	A7	A7	3 26	U_{CC}	U_{CC}	U_{CC}	NC	A13	A13
A6	A6	A6	A6	A6	A6	4 25	A8	A8	A8	A8	A8	A8
A5	A5	A5	A5	A5	A5	5 24	A9	A9	A9	A9	A9	A9
A4	A4	A4	A4	A4	A4	6 23	U_{BB}	U_{PR}	A11	A11	A11	A11
A3	A3	A3	A3	A3	A3	7 22	$\overline{CS/WE}$	$\overline{OE}$	$\overline{OE}/U_{PR}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}$
A2	A2	A2	A2	A2	A2	8 21	U_{DD}	A10	A10	A10	A10	A10
A1	A1	A1	A1	A1	A1	9 20	PR	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
A0	A0	A0	A0	A0	A0	10 19	D7	D7	D7	D7	D7	D7
D0	D0	D0	D0	D0	D0	11 18	D6	D6	D6	D6	D6	D6
D1	D1	D1	D1	D1	D1	12 17	D5	D5	D5	D5	D5	D5
D2	D2	D2	D2	D2	D2	13 16	D4	D4	D4	D4	D4	D4
U_{SS}	U_{SS}	U_{SS}	U_{SS}	U_{SS}	U_{SS}	14 15	D3	D3	D3	D3	D3	D3

U_{BB} = -5V
U_{CC} = +5V
U_{DD} = +12V
U_{SS} = ⊥

PR, U_{PR}, $\overline{PGM}$ - Programmiereingang
A0 ... A14 - Adresseneingänge
D0 ... D7 - Datenein-/-ausgänge
$\overline{CS/WE}$ - Chipauswahl/Schreibsignal

$\overline{CE}$ - Chipaktivierungseingang
$\overline{OE}$ - Eingang zur Freigabe der Ausgänge
NC - nicht angeschlossen

Pinbelegung von Festwertspeichern

Literaturhinweise

[1] Reinhold Paul, Mikroelektronik, Eine Übersicht. Berlin 1981.

[2] G. Thiele, Halbleiterspeicher, Funkamateur 30 (1981), Heft 7, Seite 337 bis 339, und Heft 8, Seite 386 bis 389.

[3] Bipolare Speicher, MOS-Speicher 1981. Valvo-Handbuch, Valvo-Signatics 1981.

[4] G. Thiele, Der Tri-State- und der offne Kollektor-Datenausgang. Funkamateur 32 (1983), Heft 8, Seite 388 bis 389.

[5] Bipolare Digitale Schaltkreise. Kombinat VEB Halbleiterwerk Frankfurt (Oder), 1978.

[6] G. Thiele, Was ist ein Mikroprozessor? Funkamateur 27 (1978), Heft 9, Seite 429 bis 431.

[7] R. Zinniker, Digitale Halbleiterspeicher, Der Elektroniker 1974, Heft 12, Seite EL 1 bis EL 6, und 1975, Heft 2, Seite EL 10 bis EL 18.

[8] J.-H. Kirchner, Halbleiterspeicher. Der Elektroniker 1972, Heft 4, Seite 175 bis 184.

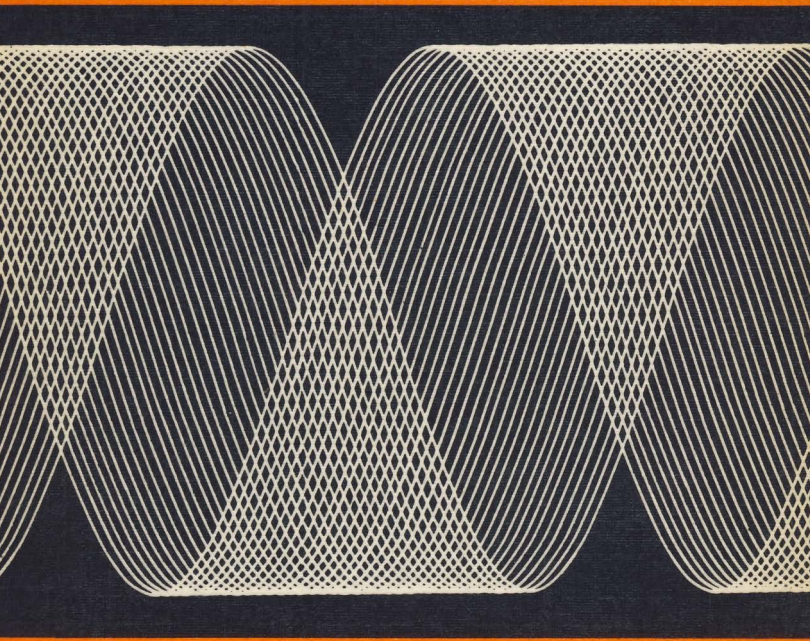
[9] K. H. Bläsig/K. Schlenzig, Experimente mit Speicherschaltkreisen, Reihe electronica Band 198, Berlin 1982.

[10] B. G. Münzer/D. Landgraf-Dietz/R. Kübart, Untersuchungen am Halbleiterspeicher U 202 DB. radio fernsehen elektronik 31 (1982), Heft 3, Seite 150 bis 153.

[11] J. Knobloch/W. Wahl/K. Baumgart, Statischer 4-kBit-Speicher U 214. radio fernsehen elektronik 33 (1984), Heft 6, Seite 382 bis 384.

[12] J. Knobloch/St. Günther, Statischer 4-kBit-Speicher U 224 D in CMOS-Technik. radio fernsehen elektronik 33 (1984), Heft 8, Seite 493 bis 494.

[13] R.-D. Klein, Digitaler Sinusgenerator mit Festwertspeichern. Elektronik 25 (1976), Heft 3, Seite 92 bis 96.



ISBN 3-327-00350-5